

FEB 15 1979

L'onde électrique

LOCATION:

- Latest issue to staffroom
 - C-current display
 - Current shelves
 - Bibliography shelves
 - Other
- RETENTION:
- Current year only
 - Other

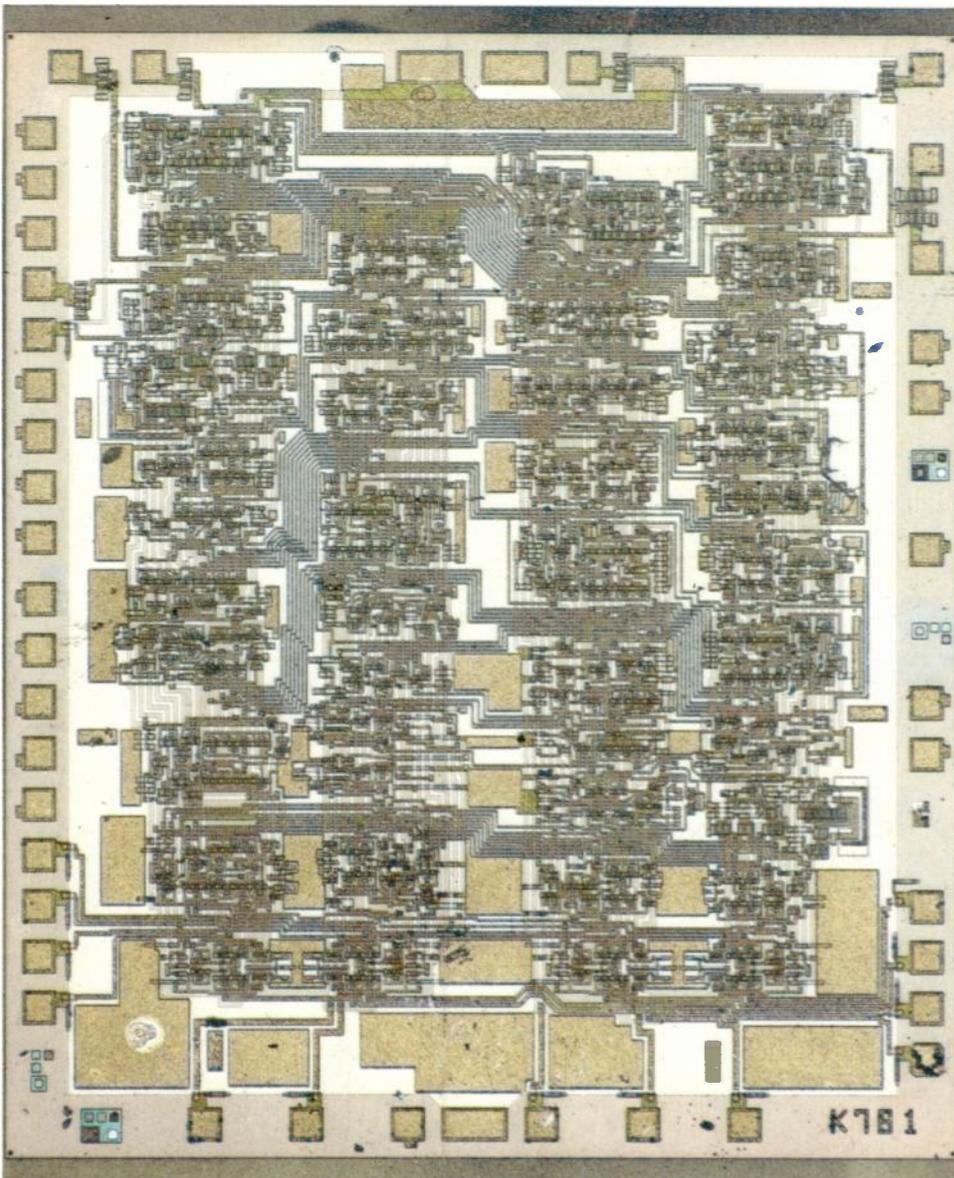
REVUE MENSUELLE DE LA SOCIÉTÉ DES ÉLECTRICIENS,
DES ÉLECTRONICIENS ET DES RADIOÉLECTRICIENS

Volume 58 n° **12** DÉCEMBRE 1978

Volume 58, n° 12 DECEMBER 1978

LES TECHNOLOGIES DES CIRCUITS INTÉGRÉS

Transmissions par fibres optiques

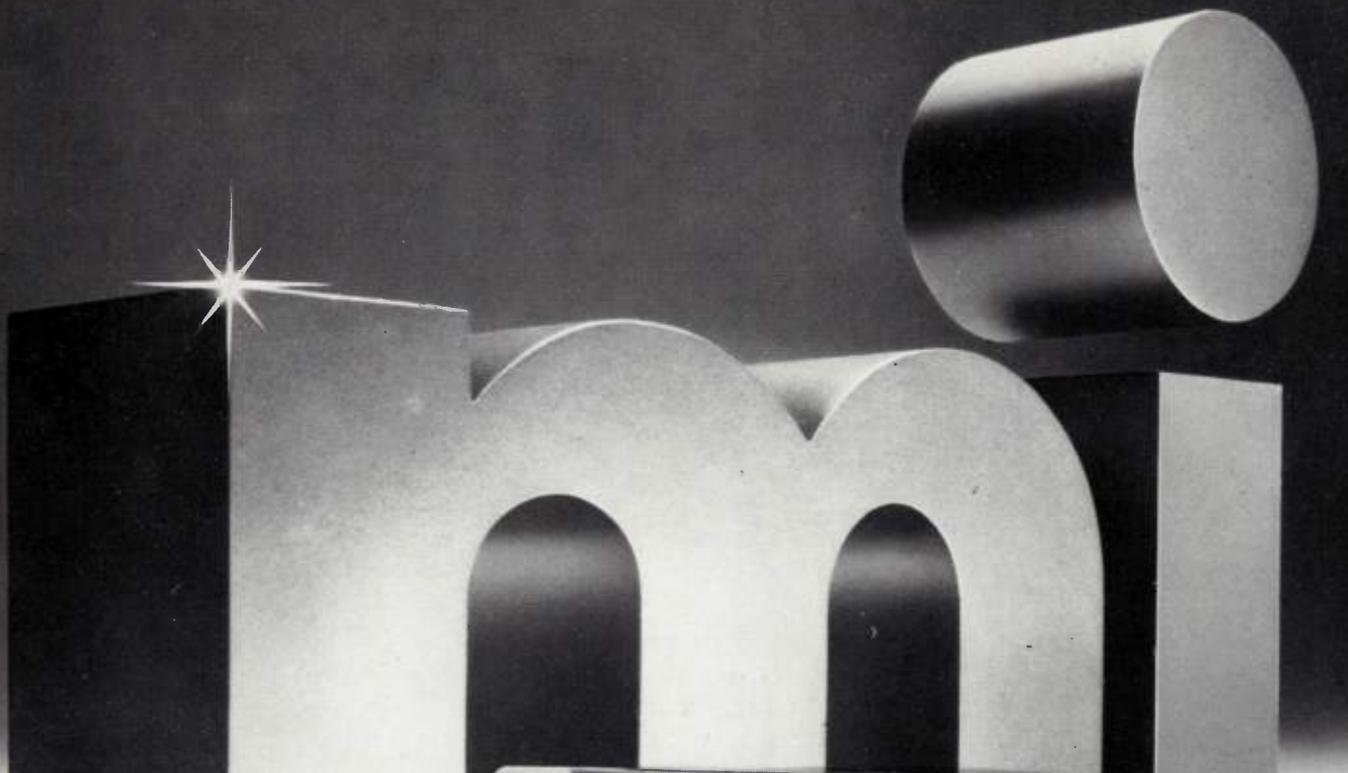


ECL 100181
Unité arithmétique
et logique ultra rapide
RTC La Radiotechnique
Compelec



MASSON
New York
Milan

la mesure en télécommunications



Conçu et réalisé pour le contrôle des réseaux F.D.M., ce banc de mesure sélectif représente le "nec plus ultra" de la technologie en matière de mesure en télécommunications.

Le générateur de niveau TF 2356 et le voltmètre sélectif TF 2357 sont, chacun, pilotés par synthétiseur et par microprocesseur pour assurer une facilité de manipulation et une précision de mesures encore jamais atteintes.

Les 2 appareils sont compatibles G.P.I.B. et le générateur peut être utilisé comme contrôleur permettant un nombre de séquences de mesures automatiques programmées par le clavier.

Documentation et catalogue **mi 78** (en français) sur demande au service-lecteurs de cette revue.

mi MARCONI INSTRUMENTS

Marconi Instruments • 32 avenue des Ecoles • 91600 Savigny-sur-Orge • France • Tél : 996.03.86 • Télex : 600541 F

Toulon (83) : Dimel • Tél : (16.94) 41.49.63 - Rennes (35) : Soredia • Tél : (16.99) 50.50.29

Toulouse (31) : Bascoul Electronique • Tél. : (16-61) 48-97-29 - Bordeaux (33) : Bascoul Electronique • Tél. : (16-56) 45-01-90

U.K. St Albans - U.S.A. Northvale (N.J.) - R.F.A. Munich.

Membre du Groupe GEC - Marconi Electronics



oe LIVRES RECUS

Antennes micro-ondes. Applications aux faisceaux hertziens,

N. BUI-HAI,

Masson, Paris, 1978, 528 p.,
ISBN 2 225 49654 4

Chapitre premier : Généralités (16 p.) - Chapitre II : Les antennes utilisées dans les faisceaux hertziens (312 p.) - Chapitre III : Quelques programmes de calculs d'antennes (51 p.) - Chapitre IV : Composants principaux associés à l'antenne (59 p.) - Chapitre V : Mesures radioélectriques, contrôles mécaniques, essais climatiques (65 p.) - Chapitre VI : Étude expérimentale sur modèle à échelle réduite (7 p.) - Index (19 p.).

Wave propagation and underwater acoustics,

J. B. KELLER et J. S. PAPADAKIS,

Springer Verlag, Berlin, 1978, 287 p.,
ISBN 3 540 08527 0

I. Survey of wave propagation and underwater acoustics (13 p.) - II. Exact and asymptotic representations of the sound field in a stratified ocean (72 p.) - III. Horizontal rays and vertical modes (67 p.) - IV. Wave propagation in a randomly inhomogeneous ocean (71 p.) - V. The parabolic approximation method (63 p.).

High-Power Lasers and Applications,

K.L. KOMPA et H. WALTER

Springer Verlag, Berlin, 1978, 228 p.,
ISBN 3 540 08641 2

Part I : Excimer Lasers (56 p.) - Part II : Chemical Lasers (30 p.) - Part III : Other Laser Systems (74 p.) - Part IV : Frequency Conversion (22 p.) - Part V : Applications (38 p.) - List of Participants (5 p.).

Frequency and time,

P. KARTASCHOFF,

Academic Press, London, 1978, 260 p.,
ISBN 0 12 400150 5

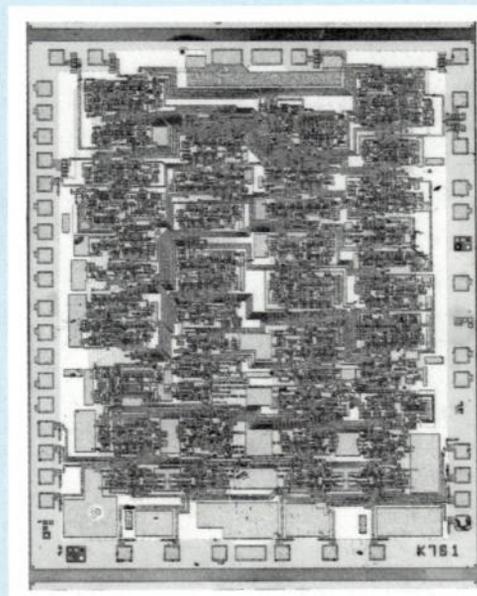
1. Introduction (12 p.) - 2. Frequency stability measures (24 p.) - 3. Standard frequency generations and clocks (59) - 4. Time scales (40 p.) - 5. Frequency and period measurements by means of counters (23 p.) - 6. Phase-time measurements (6 p.) - 7. Frequency measurement techniques (14 p.) - 8. Radio signal comparison methods (74 p.) - 9. Additional references and notes (3 p.) - Index (4 p.).

Toutes les informations concernant la Rédaction doivent parvenir désormais à :

L'onde électrique
120, bd St-Germain
75280 Paris Cedex 06
Tél. 329.21.60
Télex : 260.946

Sur notre couverture :

ECL 100181 UNITÉ ARITHMÉTIQUE ET LOGIQUE ULTRA RAPIDE



Ce circuit permet d'effectuer 8 opérations logiques et 8 opérations arithmétiques binaires ou binaires codées décimales. Utilisant la technologie ECL Subnanoseconde (procédé SUBILO P) du Centre Industriel RTC de CAEN, le cristal intègre 1 000 composants sur une surface de 10 mm².

Ce circuit est l'un des 27 types de la famille ECL 100 K développée par RTC et en cours d'introduction commerciale.



R.T.C. LA RADIOTECHNIQUE-COMPELEC
130, av. Ledru-Rollin 75540 PARIS CEDEX 11,
tél. 355.44.99

CMOS



256 x 4
HM-6501
22 broches

1024 x 1
HM-6508
16 broches

256 x 4
HM-6551
22 broches

CONSOMMATION:
22 mW/MHz max.
55 μ W/F = 0 max.
RETENTION INFORMATION: 2V
TEMPS D'ACCES:
110 ns (6508)
160 ns (6551)

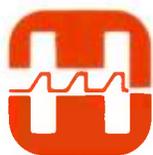
1024 x 4
HM-6514
18 broches

4096 x 1
HM-6504
18 broches

512 x 4
HM-6513
2048 x 1
HM-6503

CONSOMMATION:
35 mW/MHz max.
1 mW/F = 0 max.
RETENTION INFORMATION: 2V
TEMPS D'ACCES:
170 ns typ.

RAM



HARRIS
SEMICONDUCTOR
PRODUCTS DIVISION

Technologie HARRIS... gage de succès

Av. du Général de Gaulle · 78150 LE CHESNAY
Tél. 954.90.77 · Telex: 696 514

ALMEX

48, rue de l'Aubépine,
zone industrielle, 92160 ANTONY
Tél. 666.21.12 - Télex 250 067 F

A.2.M.

18, av. Dutartre
78150 LE CHESNAY
Tél.: 955.32.49
Télex: 698376

SPETELEC

Centre Commercial Belle-Épine
EUROPA 111
94532 RUNGIS Cedex
Tél.: 686.56.65 - Télex: 250801

Les sommaires de l'Onde électrique sont reproduits dans les Current Contents Engineering and Technology.

oe magazine

oe magazine

oe magazine

oe magazine

- | | | |
|----------------------------|-------------------------------|--------------------------------|
| 757 Livres reçus | 776 Composants | 782 Nouvelles économiques |
| 767 Événement | 779 Mesure et instrumentation | 785 Nouveautés techniques |
| 773 Informations générales | 780 Informatique | 798 Activité des laboratoires. |
| 773 Télécommunications | 780 Grand public | 850 Tables 1978 |

Circuits intégrés

- 801 Les circuits logiques à faible consommation, situation actuelle et perspectives. J. MAJOS et J. L. LARDY
- 805 Techniques de réalisation actuelles des circuits intégrés MOS à grille de silicium et canal N. J. P. MOREAU et G. DUBOIS
- 812 Caractéristiques actuelles et évolution de la technologie silicium sur isolant (SSI). J. BOREL
- 818 Circuits intégrés à très haute densité réalisés en technologie « IIL ». M. FERTIN et J. C. KAIRE
- 823 Exploration et contrôle d'une technologie MOS LSI par « véhicule-test ». J. M. LAGORSSE and F. LEFEBVRE
- 830 Le point de vue de l'utilisateur sur la testabilité des circuits intégrés logiques. G. PIEL
- 836 Vers des microprocesseurs facilement testables et autotestables. Phase de caractérisation des défauts. C. LANDRAULT et P. ROUSSEAU
- 842 Le test logique des circuits intégrés. C. ROBACH et G. SAUCIER

RÉDACTION

SEE, 48, rue de la Procession, 75015 Paris
Tél. : 567.07.70
Telex 200565

Rédacteur en chef : D. HALPERN.
Adjointe au Rédacteur en Chef : E. RUTMAN.
Secrétariat : B. BREDA.

Comité de l'Onde Électrique
Président : Y. ANGEL, Professeur au CNAM.
Vice-Président : M. THUÉ, Ingénieur général des Télécommunications au CNET.

Comité de lecture
Président : G. PAYET, PTT (Tél. 638.40.69).

l'onde électrique

Voir conditions d'abonnement
France et Étranger,
3° couverture.

Index des annonceurs,
3° de couverture.

© 1978, Masson, Paris
Publication périodique mensuelle

PUBLICITÉ

MASSON Éditeur, 120, boulevard Saint-Germain, 75280 Paris Cedex 06.
Michel J. LEROY, Directeur de la Régie.
Alain BUISSON, Chef de Publicité.
Téléphone : 329.21.60.

Représentant pour la Grande-Bretagne
Frank L. Crane Ltd,
16-17 Bride Lane, London EC4Y 8EB.
Tél. : 01.353.1000. Télex : 21489.



oe magazine

oe magazine

oe magazine

oe magazine

- 757 **Books received**
 767 **Events**
 773 **Moving around**
 773 **Telecommunications**

- 776 **Components**
 779 **Instrumentation**
 780 **Computers**
 780 **Consumer electronics**

- 782 **Economical news**
 785 **Technical news**
 798 **Laboratories activity**
 850 **Annual index**

Integrated circuits

- 801 The low power logic circuits : actual state and perspectives.
 J. MAJOS and J. L. LARDY
- 805 MOS silicon gate technology present technics review.
 J. P. MOREAU and G. DUBOIS
- 812 Characteristics and improvements of silicon on sapphire (SOS) technology.
 J. BOREL
- 818 IIL, LSI, IC'S.
 M. FERTIN and J. C. KAIRE
- 823 A test structure for caracterisation and control of a MOS large scale integrated technology.
 J. M. LAGORSSE and F. LEFEBVRE
- 830 The testability factors or the integrated logic circuit testability as viewed by the user.
 G. PIEL
- 836 Towards easily testable and self-checking microprocessors : characterization of the failures.
 C. LANDRAULT and P. ROUSSEAU
- 842 Logic testing of integrated circuits.
 C. ROBACH and G. SAUCIER

EDITORIAL MATTERS

SEE, 48, rue de la Procession, 75015 Paris
 Tel. : 567.07.70
 Telex 200565

Editor-in-Chief : D. HALPERN.
Editorial assistant : E. RUTMAN.
Secretary : B. BREDA.

Committee of l'Onde Électrique
President : Y. ANGEL, Professor, CNAM.
Vice-President : M. THUE in charge of International technical relations at the CNET.

Committee of Referees
President : G. PAYET, French PTT
 (Tel. 638.40.69).

Subscription: 3th cover.

Published monthly (except July and August)
 by Masson et Cie,
 120, bd Saint-Germain, Paris, France.
 Annual subscription price : 235 F.
 Second-class postage paid
 at Jamaica, N.Y. 11431
 Air freight and mailing in the U.S.
 by Publications Expediting, Inc.
 200 Meachan Ave., Elmont, N.Y. 11003.

ADVERTISING

MASSON Éditeur, 120, bd Saint-Germain,
 75280 Paris Cedex 06.

Michel J. LEROY, Advertising Director.
 Alain BUISSON, Advertising Manager.
 Telephone : 329.21.60.

Representative for Great Britain :
 Frank L. Crane Ltd,
 16-17 Bride Lane, London EC4Y 8EB.
 Phone : 01.353.1000. Telex : 21489.

© 1978, Masson, Paris
 Published monthly

oe

LIVRES REÇUS

Introduction to solid state theory, Vol 2

O. MADELUNG,

Springer Verlag, Berlin, 1978, 486 p.,
ISBN 3 540 08516 5

1. Fundamentals (16 p.) - 2. The One-Electron Approximation (79 p.) - 3. Elementary Excitations (79 p.) - 4. Electron-Phonon Interaction : Transport Phenomena (53 p.) - 5. Electron-Electron Interaction by Exchange of Virtual Phonons : Superconductivity (24 p.) - 6. Interaction with Photons : Optics (62 p.) - 7. Phonon-Phonon Interaction : Thermal Properties (13 p.) - 8. Local Description of Solid-State Properties (50 p.) - 9. Localized States (58 p.) - 10. Disorder (22 p.) - Appendix : The Occupation Number Representation (5 p.) - Problems to Chapters 1-9 (11 p.) - Bibliography (6 p.) - Subject Index (7 p.).

Wave propagation in elastic solids,

J.D. ACHENBACH,

North Holland, Amsterdam, 425 p.,
ISBN 0 7204 0325 1

Introduction (9 p.) - 1. One-dimensional motion of an elastic continuum (36 p.) - 2. The linearized theory of elasticity (33 p.) - 3. Elastodynamic theory (43 p.) - 4. Elastic waves in an unbounded medium (43 p.) - 5. Plane harmonic waves in elastic half-spaces (37 p.) - 6. Harmonic waves in waveguides (60 p.) - 7. Forced motions of a half-space (64 p.) - 8. Transient waves in layers and rods (31 p.) - 9. Diffraction of waves by a slit (34 p.) - 10. Thermal and viscoelastic effects, and effects of anisotropy and non-linearity (29 p.) - Author index (2 p.) - Subject index (3 p.).

Transistors MOS,

R. LYON-CAEN,

Masson, Paris, 1978, 96 p.,
2 225 62425 9

Chapitre I : Description des structures et Analyse des caractéristiques (37 p.) - Chapitre II : Barrières de potentiel et tension de seuil (24 p.) - Chapitre III : Phénomènes parasites (15 p.) - Chapitre IV : Capacité utile et capacités parasites (6 p.) - Bibliographie (4 p.) - Index alphabétique des matières (9 p.).

Optical Data Processing - Topics in Applied Physics, Vol. 23,

D. CASASENT,

Springer Verlag, Berlin, 1978, 286 p.,
ISBN 3 540 08453 3

1. Basic Concepts (16 p.) - 2. Optical Transforms and Coherent Processing Systems - With Insights From Crystallography (36 p.) - 3. Optical Image Enhancement and Image Restoration. By P.S. Considine (36 p.) - 4. Synthetic Aperture Radar (30 p.) - 5. Optical Processing in Photogrammetry (32 p.) - 6. Nondestructive Testing and Metrology (48 p.) - 7. Biomedical Applications of Coherent Optics (42 p.) - 8. Optical Signal Processing (42 p.) - Subject Index (3 p.).

Circuit theory and design,

G.S. MOSCHYTZ et J. NEIRYNCK,

Georgi, St. Saphorin, Suisse, 1978, 624 p.,
ISBN 2 604 00033 4

Proceedings of the 1978 European Conference on circuit theory and design.

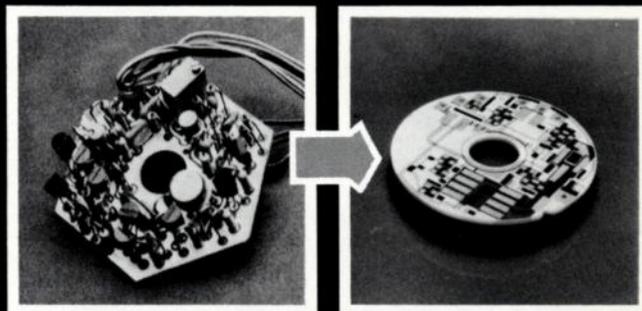
OPTIMAX

division de :



circuits hybrides couche épaisse

MOINS CHERS PLUS FIABLES MINIATURISES



AVANT...

APRÈS!

Les interconnexions et les résistances imprimées réduisent l'encombrement, la fragilité et la complexité du montage sur circuits courants et évitent les problèmes de soudures défectueuses

Optimax utilise des conducteurs platine-or, or pur, et argent-palladium sur substrat en alumine

Seul Optimax permet l'exécution de soudures à la vague, grâce à la protection des composants par une couche de verre.

OPTIMAX réalise tous circuits à la demande, consultez J.P. CHOPARD



Kontron électronique

B.P. 99 - 6, rue des Frères Caudron
78140 VELIZY-VILLACOUBLAY
Tel. 946.97.22 - Télex 695673



TELEX 200565...TELEX 200565...TELEX 200565...TELEX 200565...TELEX 200565...TELEX 200565

INFORMATIONS GENERALES

Au cours du 3^e trimestre 1978, **Philips** a réalisé un chiffre d'affaires de 7 829 M de florins (+ 2,8 %) et un bénéfice avant impôts de 217 M de florins (- 27 %).

La **SNIAS** (F) va prendre une participation de 43 % dans le capital de la société Erosatellite (Munich, D. Fédérale) et dont l'activité est la vente d'équipements aérospatiaux (satellites). Après cette prise de participation, le capital d'Erosatellite qui est de 0,1 M de DM sera détenu à 43 % par MBB (D. Fédérale) et à 14 % par ETCA (B).

TELECOMMUNICATIONS

La **CIT-Alcatel** va procéder, en 1979, au licenciement de 920 personnes travaillant dans la production de systèmes de commutation électromécaniques. Cette décision est la conséquence du passage de la commutation électromécanique à la commutation électronique, cette dernière technologie nécessitant moins de main-d'œuvre.

Un accord a été conclu pour le rachat par la Northern Telecommunications United (Canada) de la **Eastern Data Industries, Inc** (USA). Rappelons que la firme américaine possède une filiale, la **Spectron corporation**, spécialisée dans la fabrication d'équipements de contrôle et de textes pour les transmissions de données.

Le capital de l'**Entreprise Générale de Télécommunications**, filiale de France Câbles et Radio, a été porté de 10 104 000 F à 15 104 000 F.

L'US Air Force a octroyé un contrat d'un montant de 2,4 M de dollars à **E-Systems** pour la fourniture de 9 systèmes mobiles de navigation tactiques tacan, modèle AN/TRN-26. 5 systèmes seront fournis à un pays du Bassin Méditerranéen et 4 à un pays d'Extrême Orient.

La Trinidad and Tobago Telephone Company Ltd a octroyé un contrat d'un montant de 3,2 M de \$ à **GTE** pour la fourniture d'équipements hyperfréquences (modèle 75, 78, 70 et 700 F ; capacité : 36 à 1 800 canaux) et de systèmes de multiplexage (MP 15).

Le Ministère de la défense britannique a octroyé un contrat à **Hughes Aircraft** pour la fourniture d'équipements de radio-communications résistant au brouillage et destiné au programme de surveillance et d'alerte radar avancée mettant en œuvre notamment l'avion radar Nimrod.

La Qatar a octroyé un contrat d'un montant de 8 M\$ à **LM Ericsson** pour la fourniture et l'installation d'un système de

télécommunications et de télésupervision destiné aux gazoducs reliant Duklan à Umm Said et Doha.

Le Ministère des Télécommunications de l'Irak a octroyé un contrat d'un montant de 98 M\$ à **LM Ericsson** pour la modernisation et l'extension d'un réseau de transmission par câble coaxial situé à l'Ouest du pays.

Marconi Communications Systems Ltd fournira à la Radio Télévision Espagnole 18 caméras marque Mark IX dont 2 portables.

La Deutsche Bundespost a octroyé un contrat d'un montant de 0,6 M\$ à la **Northern Telecom Ltée** (CND) pour la fourniture d'un autocommutateur de données modèle SL 10 destiné à être intégré au réseau de transmission de données à commutation par paquets de l'Allemagne Fédérale. Ce réseau doit entrer en service au mois de janvier 1979 à Berlin d'abord.

La **Standard Electric Puhelinteollisuus Oy**, filiale finlandaise de l'ITT, fournira aux PTT de l'URSS un central téléphonique (modèle Crossbar A 204 ; capacité 3 000 lignes) qui sera installé à Leningrad. C'est la première fois que l'Union Soviétique commande ce modèle d'équipement. Rappelons que le plan quinquennal soviétique prévoit l'installation de 30 000 nouvelles lignes téléphoniques à Leningrad.

La **Standard Electrica SA**, filiale espagnole de l'ITT, va procéder à une augmentation de capital ; celui-ci passerait de 700 M de pesetas environ à 2 500 M pesetas. Cette opération doit être soumise à l'approbation des Autorités espagnoles.

La Libye a octroyé un contrat à la société **Submarcom** qui regroupe la CIT-Alcatel et les Câbles de Lyon, un contrat pour la fourniture du câble sous-marin qui doit relier Marseille à Tripoli. La capacité de cette liaison sera de 480 circuits.

Thomson-CSF fournira à la Magyar Television (Télévision Hongroise) les équipements vidéo couleur dont un car de reportage à 4 caméras TTV 1515 et un studio complet également doté de caméras TTV 1515 et de télé-cinemas.

T R T fournira au Crédit Industriel et Commercial 150 modems Sematrans LSI 1011.

T R T fournira au Service Technique de la Navigation Aérienne (F) 150 modems Sematrans LSI 1011.

Le Post Office britannique doit mettre à la disposition des usagers dans le courant du mois de janvier, un service de télécopie baptisé «Fox». Ce service utilisera des télécopieurs fabriqués par Siemens et ITT et modifiés aux normes du Post Office. Les

appareils seront du groupe II du CCITT et permettront une transmission d'une page au format A 4 en 2 ou en 3 minutes. Ce service fonctionnera dans un premier temps à Londres et dans le Nord Est, les appareils seront loués à des particuliers.

Un accord a été conclu entre les administrations des télécommunications de l'Argentine, du Brésil, de la Côte d'Ivoire, de la France, de l'Italie, du Portugal et du Sénégal pour l'installation d'un câble sous-marin destiné à relier les 7 pays. Ce câble qui sera mis en service en 1982 doit relier la Lagos au Portugal puis Dakar à Réclife ; la liaison entre le Brésil et l'Argentine s'effectuant à l'aide d'un câble terrestre.

COMPOSANTS

La firme canadienne **Electrovert** spécialisée dans la fabrication de machines dans l'industrie électronique (soudeuse à la vague) va investir 1,5 M de \$ dans l'extension de son usine de La Prairie (Québec, CND).

Intersil a constitué une filiale commerciale en Allemagne Fédérale sous le nom d'**Intersil GmbH** (capital : 20 M de DM, adresse : Bavariaring 8, D 8 000 München).

Rockwell Electronics s'apprête à introduire sur le marché un nouveau microprocesseur à 16 bits dont le nom de développement est Super 65. Ce dispositif sera compatible avec le logiciel de haut niveau Pascal ; il sera disponible en version normale (fréquence horloge : 10 MHz) et en version silicium en isolant (fréquence horloge : 30 à 40 MHz).

Un accord croisé de coopération technique en matière de circuits intégrés logiques a été conclu entre **Siemens** et **Valvo**, filiale allemande de Philips.

INFORMATIQUE

La Telecommunications Authority of Singapore a octroyé un contrat à la **Delta Data Systems Ltd** pour la fourniture de 200 terminaux de visualisation de la famille Delta 40500. Ces terminaux seront connectés au travers d'un réseau de transmission à un ordinateur Univac modèle 1100-12 multiprocesseur.

GRAND PUBLIC

La firme américaine **Atari** va implanter à Tipperary (Irlande) une usine de fabrication de jeux télévisuels qui emploiera 90 personnes et desservira le marché européen.

Sharp Corporation va implanter à Memphis (Tennessee, USA) une usine de production de téléviseurs couleur et de fours micro-ondes. La capacité annuelle de production de cette unité sera de 0,12 M de téléviseurs et de 30 000 fours.

UMD AMPHENOL : inscrivez le n° 007

L'ETALON

C'est notre APC 7.

Étudié, mis au point, breveté, fabriqué et testé dans nos laboratoires et ateliers depuis plus d'une décennie, il est garanti pour un ROS max. de 1,039 à f 18 GHz.

Les hommes et les moyens impliqués pour son élaboration réalisent quotidiennement nos connecteurs, relais et cordons coaxiaux "industriels", tels que SMA, SMB, BNC*, N*,...

C'est pour vous la meilleure garantie.

*sous C.C.Q.

pour que vos
idées tiennent

UMD AMPHENOL

131, avenue Aristide-Briand - 92120 MONTROUGE
Tél. : 655 77 66 - Télex 260059.



Je souhaite recevoir les documentations suivantes :

- APC 7.
 SMA (KMR).

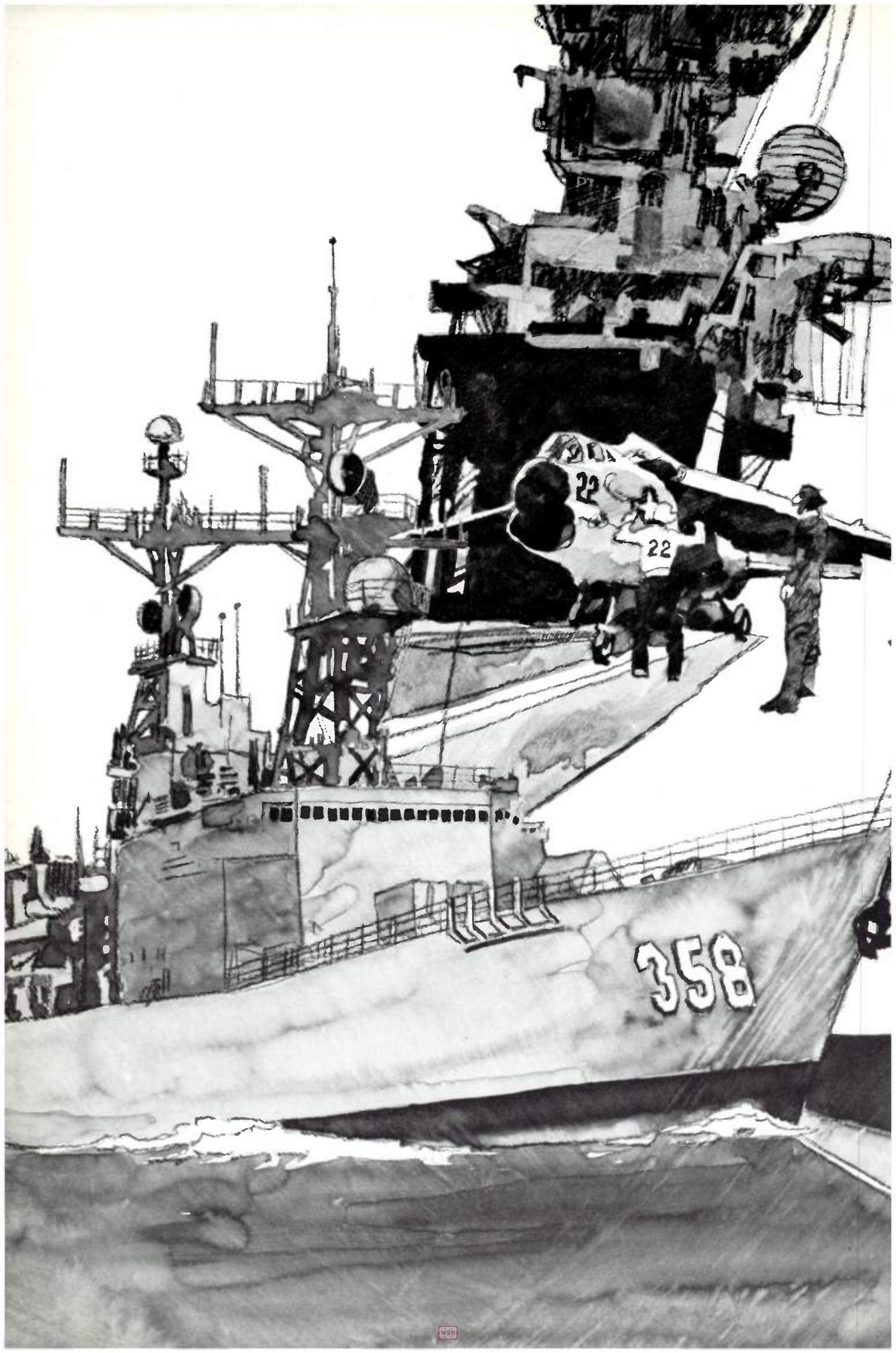
- SMB (KMC).
 BNC (KBN) + N (KN).

- Cordons coaxiaux.
 Relais coaxiaux.

Nom _____ Fonction _____

Société _____ Tél. : _____

Adresse _____ Ville _____ Code postal _____



Magnetrons et sous-systèmes Varian pour les radars de demain

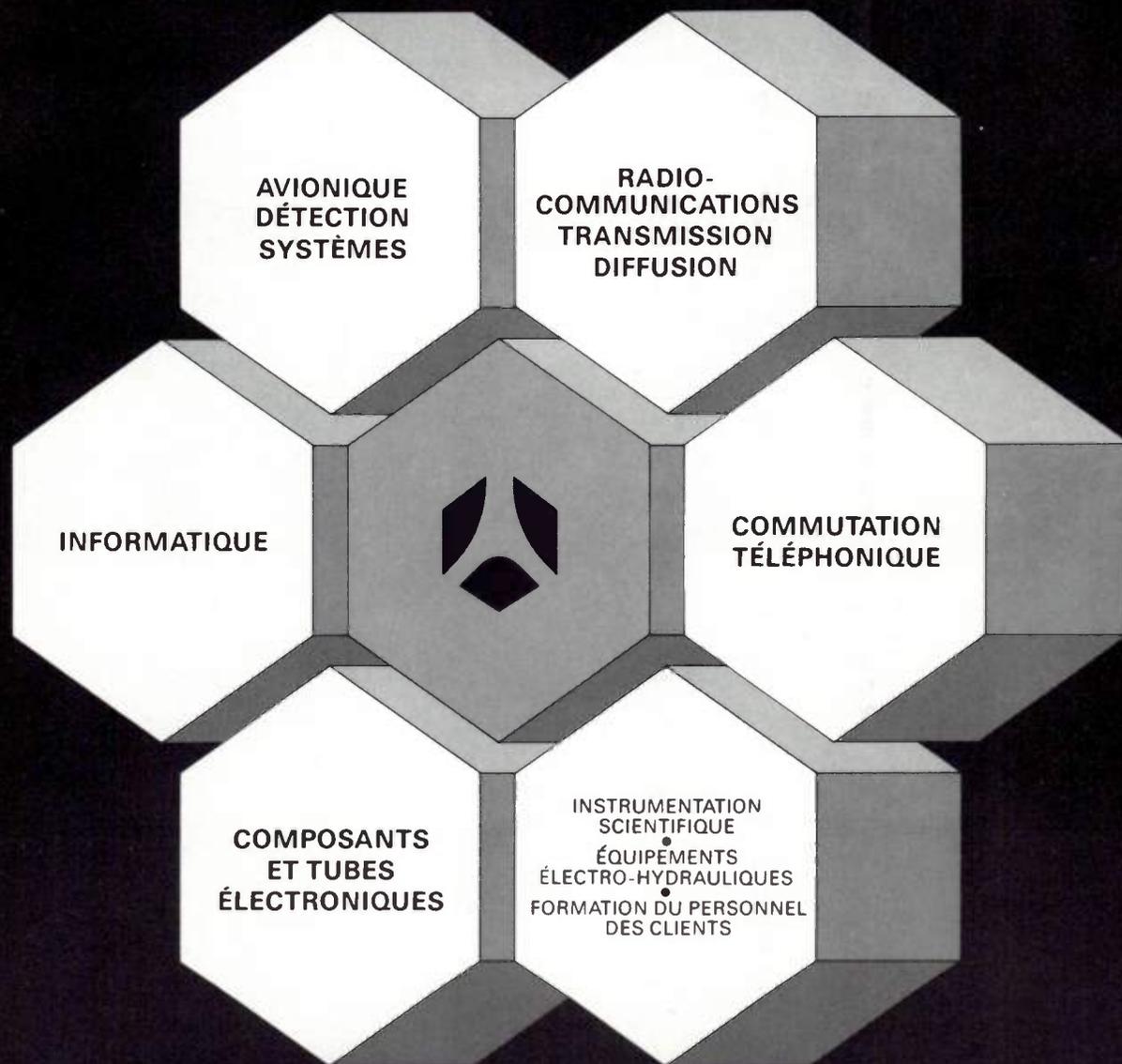
Pour de plus amples renseignements,
adressez-vous à Michel Malaval:



varian

Varian SA
B. P. No 12 / Quartier de Courtaboeuf
91401 Orsay-Cédex
Tél.: (01) 907 78 26
Télex: 692 435





THOMSON-CSF

LMT – Le Matériel Téléphonique

LTT – Lignes Télégraphiques et Téléphoniques

SOCIÉTÉ DES TÉLÉPHONES STE (THOMSON-ERICSSON)

Un ensemble de dimension internationale



THOMSON-CSF

23, RUE DE COURCELLES / B.P. 96-08 / 75362 PARIS CEDEX 08 / FRANCE
TÉL. (1) 563 12.12

La 4^e Conférence Européenne sur les transmissions par fibres optiques

Plus de 700 personnes en provenance de 30 pays auront participé à la quatrième Conférence européenne sur les transmissions par fibres optiques. Le nombre imposant de 95 conférences prononcées en 4 jours aura exigé de la part des participants des qualités physiques voisines de celle d'un coureur de marathon.

Cette quatrième conférence sur les transmissions par fibres optiques qui s'est tenue à Gênes du 12 au 15 septembre dernier, a connu une affluence record. Les congressistes ont pu y faire le point sur l'état de l'art en matière de fibres optiques.

La technologie des fibres :

En matière de technologie de fabrication des fibres optiques, il n'y a pas eu d'annonce spectaculaire. La méthode faisant appel à la déposition chimique en phase vapeur (CVD) et dont les brevets fondamentaux sont détenus par Corning Glass Works, demeure la plus employée. Jusqu'à présent, la firme américaine n'a pas manifesté son intention de faire valoir ses droits, mais cette éventualité constitue une menace à ne pas négliger même si les «utilisateurs pirates» ne la prennent pas au sérieux.

La méthode du double creuset déjà développée par la Nippon Sheet Glass et par le British Post Office est maintenant utilisée par les Laboratoires Fujitsu.

Les laboratoires qui semblent développer une technologie intéressante sont ceux de la Nippon Telegraph and Telephone Public Corporation (NTT). La NTT effectue en effet des travaux sur une méthode originale, dite à tort méthode de Verneuil modifiée, et qui permet d'obtenir de manière continue des fibres à gradient d'indice à hautes performances, présentant un coefficient d'atténuation linéique de 1,2 dB/km à la longueur d'onde de 1,2 μ et une bande passante de 200 à 500 MHz.

La résistance aux rayonnements

Pour la première fois, des essais de résistance à l'action des rayonnements ionisants ont été effectués sur des fibres à des longueurs d'onde supérieures au micron.

Les rayonnements ionisants dégradent, en effet, de manière temporaire ou définitive les performances des

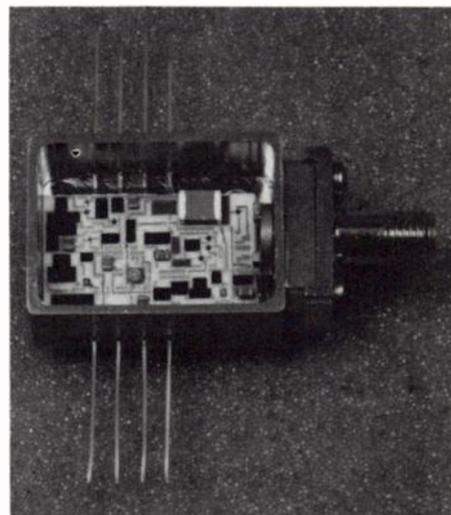
fibres ; ce phénomène est très lié à la concentration en ions OH^- de la silice, c'est-à-dire à la concentration en eau. Jusqu'à présent, les expérimentations réalisées à des longueurs d'ondes voisines de 0,85 μ avaient montré que le comportement des fibres étaient d'autant meilleur que la concentration en ions OH^- était plus forte. Or, les dernières études entreprises par la marine américaine révèlent l'effet contraire à 1,3 μ . Ces résultats opposés laissent prévoir l'existence d'une zone de transition qui reste à préciser.

Les méthodes de mesure

Les méthodes de mesure et de caractérisation des fibres deviennent de plus en plus simples à mettre en œuvre et mieux adaptées aux réalités industrielles. Elles peuvent maintenant être utilisées sur le terrain ou en production.

Les câbles optiques

Le câblage est l'opération qui permet de passer de la fibre au câble lui-même. Cette opération apparaît être la plus onéreuse à l'heure actuelle. On



Boîtier émetteur pour liaison à 30 M bits/s par fibres optiques (Sperry Univac).

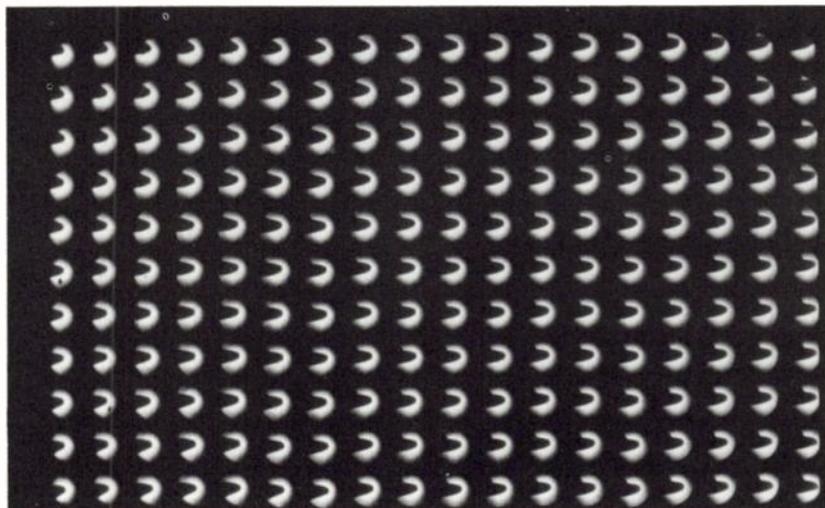
note une réalisation intéressante, celle de la société française LTT, qui a décrit un câble présentant un des meilleurs coefficients de remplissage ; c'est par ailleurs, ce même câble qui sera utilisé pour la première liaison opérationnelle française par fibres optiques.

Le couplage

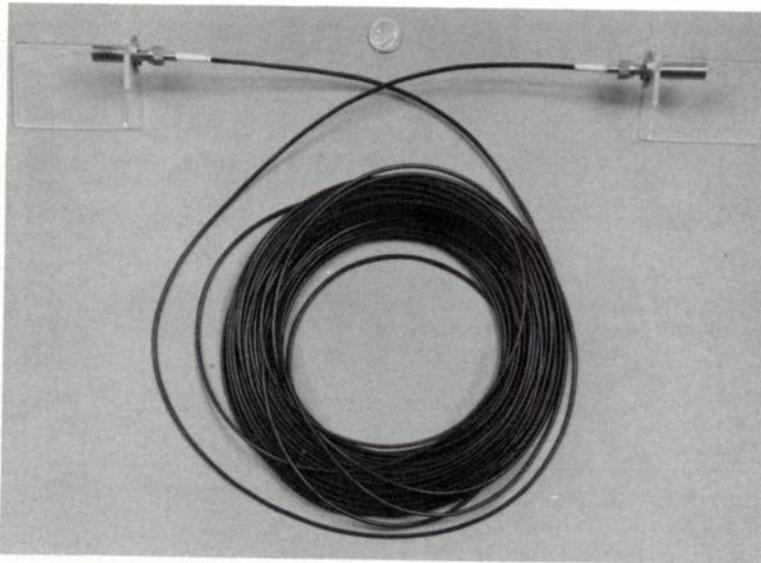
Différentes méthodes permettant d'améliorer la qualité des épissures et le couplage optique entre les fibres et les équipements d'émission-réception ont été décrites.

Les sources et les détecteurs

En matière de longueurs d'ondes, il apparaît que l'infrarouge constitue la plage la plus intéressante et notamment la longueur d'onde de 1,27 μ .



Microoptique : «œil de mouche» constitué par une juxtaposition de microlentilles selfoc pour la reproduction d'images sur chaque lentille.



Liaison unilatérale à 10 M bits/s par fibres optiques (Sperry Univac).

Thomson-CSF a présenté un dispositif original, il s'agit d'une diode émettrice-réceptrice de lumière permettant d'établir des liaisons bidirectionnelles en mode demi duplex.

Le domaine où les difficultés rencontrées sont les plus grandes, concerne les diodes laser car les durées de vie atteintes, en dépit de progrès constants, sont encore insuffisantes. Les difficultés sont telles, qu'elles peuvent retarder l'implantation de certaines liaisons optiques.

Intérêt économique des liaisons optiques

Des conférences ont été prononcées sur l'avantage économique que peuvent présenter les liaisons par fibres optiques par rapport aux systèmes conventionnels.

D'après le British Post Office, il apparaît que les avantages économiques des systèmes optiques sont en relation étroite avec le prix même de la fibre.

Les estimations permettent, dès maintenant, aux systèmes à fibres optiques d'entrer directement en concurrence avec les systèmes à câbles coaxiaux à 140 Mbits/s. Pour les systèmes à 8,4 Mbits/s, on note que la concurrence est très liée au coût du câble et des terminaux et ceci en raison de la plus courte longueur des liaisons.

Une réalisation expérimentale exceptionnelle

De toutes les descriptions des liaisons déjà mises en place ou prévues, on retiendra surtout l'extraordinaire

réalisation des chercheurs de Yokosuka Electrical Communication Laboratory de la NTT.

Ces chercheurs ont, en effet, installé une liaison expérimentale monofibre à 32 Mbits/s, de 53 km de long, sans répéteur utilisant une diode laser et une photodiode à avalanche. Cette liaison sans répéteur introduit une atténuation totale de 35 dB, épissures comprises, ce qui représente une perte linéique moyenne de 0,66 dB/km. D'après la NTT, une amélioration des performances de la photodiode devrait permettre dans un proche avenir une augmentation du débit.

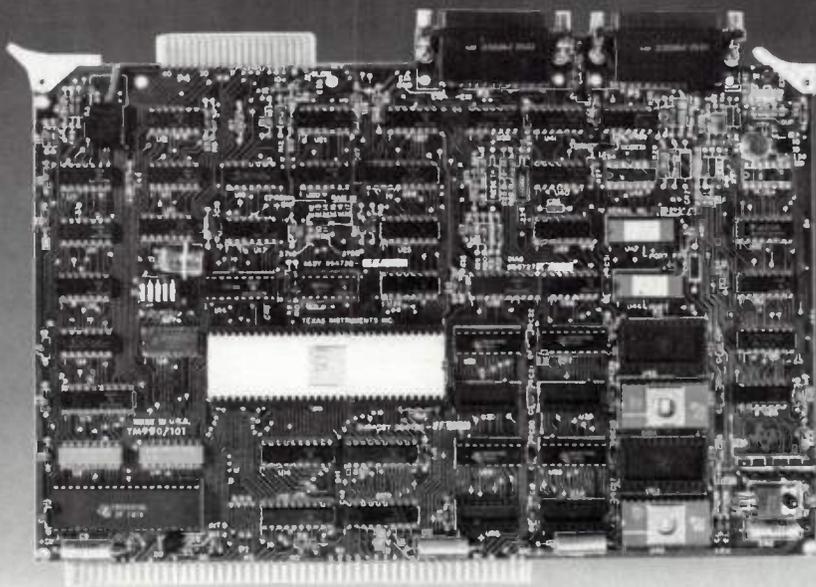
D'une manière générale, les nombreux congressistes auront pu assister à un colloque d'une rare densité et avoir un certain nombre de confirmation sur les orientations actuelles des transmissions par fibres optiques. Ils auront manifesté un grand intérêt pour le développement des nouvelles technologies de fabrication des fibres optiques et notamment celle proposée par la NTT.

La tendance visant à l'utilisation de plus grandes longueurs d'ondes dans l'infrarouge aura été confirmée. Malgré les efforts soutenus déployés par les chercheurs, les problèmes relatifs à la durée de vie des diodes laser et aux performances des photodétecteurs seront demeurées sans solution réellement tangible.

La multiplication des liaisons expérimentales aura témoigné de la vitalité de ce secteur et également de la dimension du marché.

Le Japon aura également montré la toute première place qu'il occupe dans ce secteur sur le plan technologique et aura fait une forte impression.

L'AS.



TM 990/101M: la carte puissance de Texas Instruments.

La puissance d'un mini ordinateur 16 bits pour le prix d'une carte.

Unité centrale 990/101

- Microprocesseur TMS 9900
- Fréquence 3 MHz
- Jeu de 69 instructions
- 17 niveaux d'interruption

Horloges

- 3 compteurs programmables pour la mesure ou la génération d'intervalles de temps

Capacité mémoire

- 4K octets de RAM
- 8K octets d'EPROM
- 64K octets adressables avec une carte supplémentaire

Logiciel résident

- Deux configurations :
 - Moniteur TIBUG (avec Assembleur ligne par ligne en option)
 - Power Basic

Entrées-Sorties

- 16 E/S parallèles programmables (TMS9901)
- 2 portes de communications série programmables assurées par un TMS 9902 (UART) et/ou un TMS 9903 (USART)
- Liaisons du type RS 232, Télétype ou Modem



TEXAS INSTRUMENTS
FRANCE

Pour des informations complémentaires, consulter nos bureaux de vente ou nos distributeurs agréés.

BUREAUX TEXAS INSTRUMENTS (FRANCE)

- La Boursièrerie, Bât. A, RN186
- 92350 Le Plessis Robinson - Tél. (1) 630 23 43
- B.P. 5 - 06270 Villeneuve-Loubet - Tél. (93) 20 01 01
- 31, Quai Rumbaud - 69002 Lyon - Tél. (78) 37 35 83
- 9, Place de Bretagne - 35000 Rennes - Tél. (99) 79 54 81
- 100, Allée de Barcelone - 31000 Toulouse - Tél. (61) 21 30 32
- 1, Avenue de la Chartreuse - 38240 Meylan - Tél. (76) 90 45 74

DISTRIBUTEURS TEXAS INSTRUMENTS

- CEIN - 39230 St-Amand-les-Eaux - Tél. (20) 48 53 39
- EIS - 94240 L'Hay-les-Roses - Tél. (1) 661 02 24
- PARIS-SUD-ELECTRONIQUE - 91300 Massy - Tél. (1) 920 66 99
- PEP - 92120 Montrouge - Tél. (1) 735 33 20
- RADIALEX - 69457 Lyon - Tél. (78) 89 45 45

Coupon réponse
à retourner à :
Texas Instruments
B.P. 5
06270 Villeneuve-Loubet

Je désire recevoir la brochure
TM990/101M

Nom.....
Société.....
Téléphone.....
Adresse.....

I.S.C. FRANCE

présente

— CERMETEK

- circuits spéciaux pour modems
- commandes d'horloge et interfaces
- filtres actifs hybrides et intégrés

— CONSUMER MICROCIRCUITS LTD

- détecteurs de fréquence
- générateurs de fréquence
- codeur/décodeur delta PMOS et CMOS
- appel sélectif 3 tons et 5 tons

— HUGHES MICROELECTRONICS

- compteur/décompteur 3 1/2 et 4 1/2 décades
- synthétiseur de fréquence
- commande d'affichage LCD
- microprocesseur 8 bits CMOS
- condensateur au tantale gélifié
- connecteurs professionnels pour câbles

— LSI COMPUTER SYSTEMS

- compteurs décompteurs 6 et 8 décades
- commande d'affichage LCD
- diviseurs par 5, 6, 50, 60, 3 000 et 3 600

— TELARIS

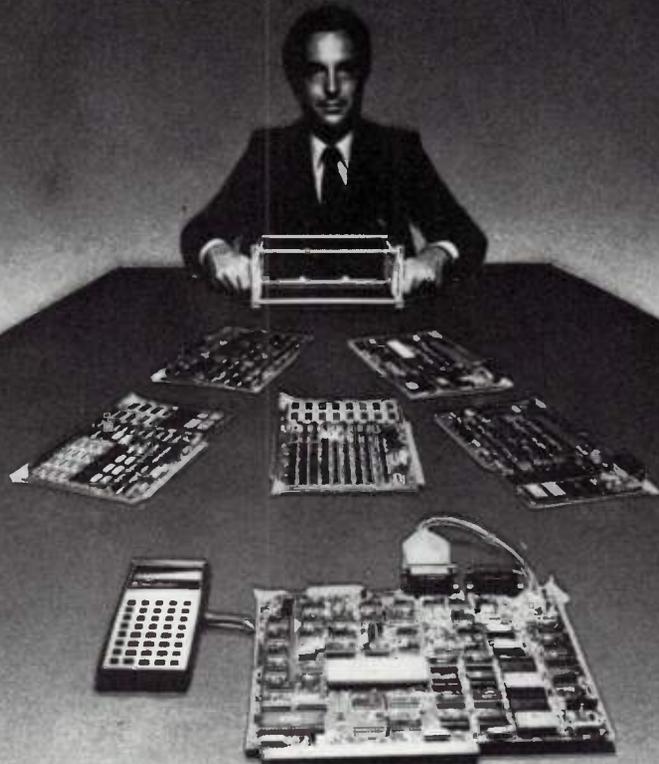
- générateurs double ton multifréquence
- détecteurs double ton multifréquence
- multiplexeurs et commutateurs analogiques
- claviers pour téléphonie

— TELEDYNE SEMICONDUCTOR

- convertisseurs A D CMOS
- convertisseurs tension fréquence CMOS BIPOLAIRE
- transistors JFET
- diodes Zener à haute performance
- circuits intégrés HINIL à haute immunité au bruit

27 RUE YVES KERMEN - 92100 BOULOGNE - TELEX : 250030 - TEL. : 604 52 75 +

LE GRAND CHELEM.



Les cartes 990 de Texas Instruments pour toutes les applications industrielles.

Un système industriel complet, puissant et autonome.

Cartes unités centrales (CPU) 990/100 et 990/101

- Microprocesseur 16 bits TMS 9900
- 4K octets de RAM (1K octets sur la 990/100)
- 8K octets de EPROM
- 16 entrées-sorties parallèles compatibles TTL
- Interfaces série du type RS 232, TTY ou Modem

Cartes extension mémoires

- TM 990/201 (RAM, EPROM)
- TM 990/206 (RAM)

Carte d'entrées-sorties 990/310

- Extension à 48 bits

Modules d'interface puissance

- Modèles 5MT/6MT (Commande de moteurs, de relais...)

Terminaux de commande

- 990/301 (microterminal)
- ASR 733, 743, 765...

Logiciels résidents

- Moniteur TIBUG TM 990/401
- Assembleur TM 990/402
- Power Basic TM 990/450



**TEXAS INSTRUMENTS
FRANCE**

Pour des informations complémentaires, consulter nos bureaux de vente, nos distributeurs agréés ou retourner le coupon-réponse.

BUREAUX TEXAS INSTRUMENTS (FRANCE)

- La Boursidière, Bât. A, RN186
- 92350 Le Plessis Robinson - Tél. (1) 630 23 43
- B.P.5 - 06270 Villeneuve Loubet - Tél. (93) 20 01 01
- 31, Quai Rambaud - 69002 Lyon - Tél. (78) 37 35 85
- 9, Place de Bretagne - 33000 Rennes - Tél. (99) 79 54 81
- 100, Allée de Barcelone - 31000 Toulouse - Tél. (61) 2130 32
- 1, Avenue de la Chartreuse - 38240 Meylan - Tél. (76) 90 45 74

DISTRIBUTEURS TEXAS INSTRUMENTS

- CEIN - 59230 Si-Amand-les-Eaux - Tél. (20) 48 53 39
- EIS - 94240 L'Hay-les-Roses - Tél. (1) 661 02 24
- PARIS-SUD-ELECTRONIQUE - 91300 Massy - Tél. (1) 920 66 99
- PEP - 92120 Montrouge - Tél. (1) 735 33 20
- RADIALEX - 69457 Lyon - Tél. (78) 89 45 45

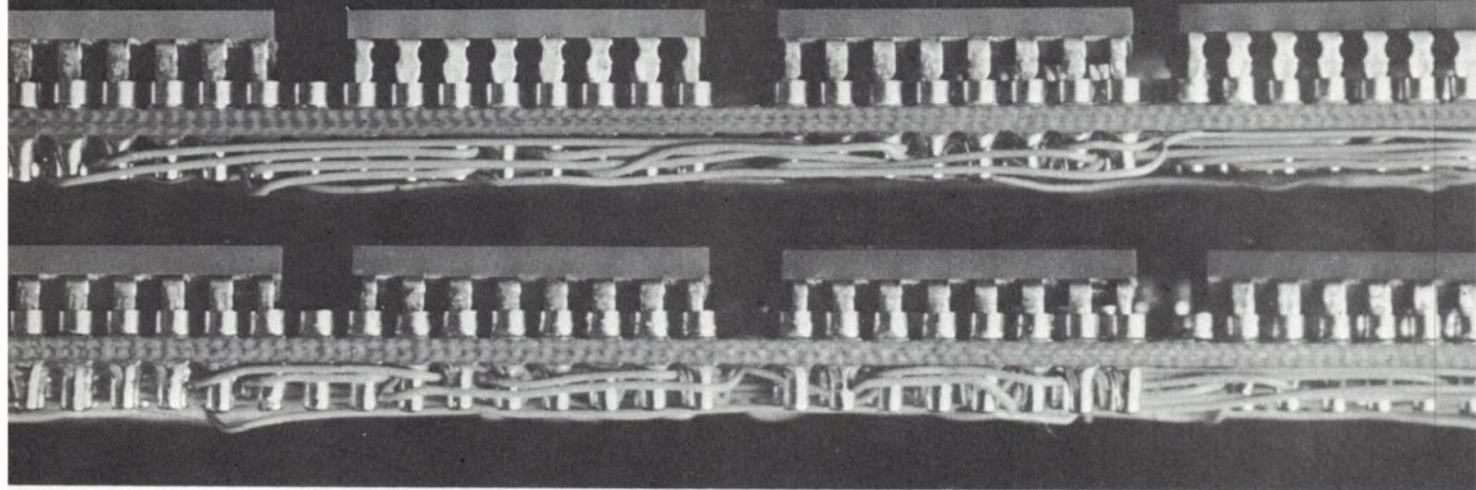
COUPON-REPONSE à retourner à :

TEXAS INSTRUMENTS - B.P. 5 - 06270 Villeneuve-Loubet
Je désire recevoir la brochure TM990 TM 990/101
la documentation 5MT/6MT Terminaux ASR

Nom
Société
Adresse

Service lecteur : inscrivez le n° 012

MAINTENANT, VOUS POUVEZ OBTENIR LA RÉALISATION IMMÉDIATE DE VOS ÉTUDES GRACE A LA SOUPLESSE ET A LA HAUTE DENSITÉ DU SYSTÈME AUGAT PLANAR.



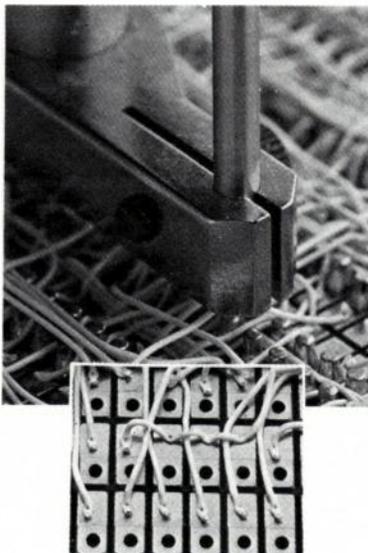
Le Système de cablage par point, AUGAT planar (Breveté) procure

une grande rapidité de réalisation tout en réduisant la main-d'œuvre du tiers ou de la moitié, éliminant les procédés de haute Technicité (multicouche), et facilitant les possibilités de modifications.

Après avoir installé les composants sur la carte planar vous soudez le fil sur les pastilles grâce à la machine AUGAT « Stitch wire »

Un programme peut être réalisé pour l'utilisation en machine semi-automatique.

Une configuration de cablage incluant plusieurs fils par pastille peut être également réalisée.



Le système AUGAT planar permet d'obtenir très facilement les modifications éventuelles soit sur la machine « Stitch wire », soit par soudure manuelle.

Augat stockant les machines et les cartes, l'implantation de ce système est rapide, compatible avec la plupart des mini et micro ordinateurs existants.

Ces cartes se distinguent par de larges conducteurs de masse et d'alimentation, et conviennent très bien à la logique rapide.

La souplesse de ce système, la grande densité des connexions possibles, la réalisation immédiate, vous permettent de concrétiser en peu de temps vos études et fabrications.

N'hésitez pas à nous consulter pour de plus amples informations.



AUGAT

Augat : matériel d'interconnexion
Isotronics : boîtiers pour microcircuits
Alco : interrupteurs subminiatures

FRANCE : AUGAT S.A.R.L. - Rue des Champs-Lasniers - « Alpha 128 - Les Ulis »
91440 BURES SUR YVETTE - Tél. : 907-11-02 - Téléx : 692837 F

oe

INFORMATIONS GÉNÉRALES

Au cours des neuf premiers mois de 1978, la **CGE** a réalisé un chiffre d'affaires hors taxes de 24 702,5 MF (+ 6,5 % à structure équivalente) dont 13 763 MF ont été réalisés par les sociétés contrôlées et 10 939,5 MF par les sociétés affiliées. La ventilation des résultats par secteur d'activité est la suivante (en MF) :

Sociétés contrôlées :

- entreprise électrique : 1 765 (+ 22,7 %),
- entreprise et ingénierie : 3 549 (+36,6 %),
- télécommunications : 3 770 (+ 10,9 %),
- câbles : 1 104 (- 11,1 %),
- accumulateurs et piles : 1 440 (+ 8,8 %),
- grand public : 385 (- 0,8 %),
- matériaux : 698 (+25,9 %),
- divers : 1 049 (+0,2 %).

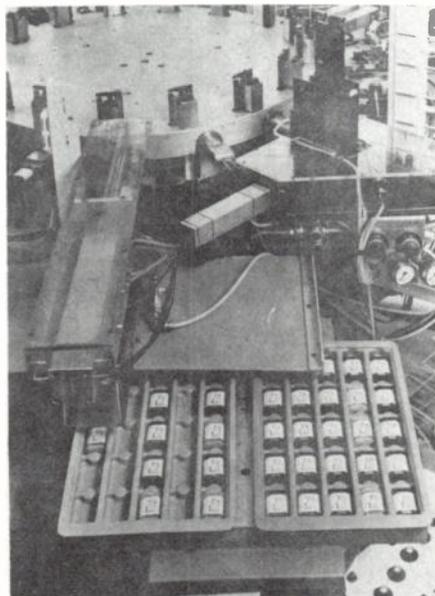
Sociétés affiliées :

- Alstom Atlantique : 7 129 (+ 3,9 %),
- CII Honeywell Bull : 2 870 (+ 15,7 %),
- autres sociétés : 940,5 (- 15,5 %).

L'Administration des PTT français a retenu le système de lecture optique CIT TUP 3000 de la **CIT-Alcatel** pour l'équipement des Centres Régionaux de Facturation des Télécommunications (CRIT).

Le siège social de **Harris Corporation** a été transféré de Cleveland à Melbourne (Floride, USA).

La société **LTT**, du groupe Thomson-CSF, va procéder au licenciement de 200 personnes dans son centre de Conflans-Sainte-Honorine et instaurer un chômage partiel à l'usine de Lannion (1450 personnes) et procéder à des réductions d'horaires (32 heures/semaine) dans les usines de Dinard et de Conflans.



Ligne de production de relais à lames souples pour central téléphonique électronique britannique TXE 4 (Matériel de production Rotaurnder Ltd, G.B.).

Au cours du 3^e trimestre de 1978, **Motrola Inc** a réalisé un chiffre d'affaires de 534 M\$ (+ 19,5 %) et un bénéfice net de 29,8 M\$ (+ 22,6 %).

Le groupe **La Radiotechnique** a réalisé au cours des neuf premiers mois de 1978,

un chiffre d'affaires consolidé de 2 378 MF (+ 6,7 %).

La Régie Renault et Bendix Corporation ont créé en France une filiale commune sous le nom de **Renix Electronique** pour la fabrication d'équipements électroniques pour l'automobile. Renault détient 51 % du capital, Bendix 49 %. Renix va implanter une unité de production à Toulouse (80 personnes à la fin de 1979 ; investissement initial : 80 MF).

La **Société de Gérance Electronique** a été constituée au siège de la Télémechanique Electrique (capital : 20 000 F ; 33, avenue du Maréchal Joffre, 92000 Nanterre).

Le capital de la **Société de Matériel Electrique et Electronique** du groupe Thomson-CSF a été porté de 0,1 à 20,1 MF.

Au cours des neuf premiers mois de 1978, **Thomson-Brandt** a réalisé un chiffre d'affaires hors taxes de 15 149 MF (+ 9,86 %) dont la ventilation par branche d'activité est la suivante (en MF) :

- biens de consommation durables : 3 716 (+ 13,6 %),
- biens d'équipements électro-mécaniques : 1 360 (+ 9,2 %),
- activités médicales : 1 419 (+ 5,7 %),
- lampes et éclairage : 679 (+ 1,9 %),
- ingénierie et services : 326 (- 30,3 %),
- électronique professionnelle : 7 649 (+ 12,5 %) (dont LTT : 574).

Le capital de **Thomson-CSF** a été porté de 469,84 à 528,57 MF.

oe

TÉLÉCOMMUNICATIONS

DANS LES USINES

Pioneer Electronic Corporation (J) et la **Warner Cable Corporation** ont conjointement mis au point un système de télédistribution par câbles bidirectionnel. Ce sys-

tème sera expérimenté à Columbus (Ohio, USA) où il desservira quelques centaines de milliers d'abonnés. (Photo ci-dessous).

AEG-Telefunken a rendu public un certain nombre d'informations concernant le radar mobile de surveillance que la firme développe pour l'Armée allemande. Cet équipement à 3 dimensions et baptisé TRMS (Telefunken Radar Mobile Surveillance), est destiné à la localisation de cibles situées à courte ou à moyenne distance. L'antenne est du type à balayage électronique pour l'azimut et à balayage mécanique pour le site. La portée horizontale est de 200 ou 100 km au choix et la portée verticale est de 20 000 m. Ce radar fonctionne en bande C (4-8 GHz).

ITT Electro Optical Products Div. dispose maintenant d'une nouvelle unité de production de matériels de transmission par fibres optiques à Roanoke (Virginie, USA).



Pye TVT a acquis auprès de la BBC (GB) la licence de production des équipements de réduction automatique de bruit vidéo développé par les laboratoires de Recherche de la BBC. Ces équipements seront disponibles selon les standards PAL et NTSC.

Siemens introduit sous la référence EMX 1010 un central télex électronique conçu autour du microprocesseur 8080 et ayant une capacité maximale de 20 téléimprimeurs.

La société syrienne **Syrctel** a acquis auprès de la CIT-Alcatel la licence de fabrication des autocommutateurs temporels publics E 10. Rappelons que la CIT-Alcatel avait reçu en 1976 une commande de trois centraux E 10 pour la Syrie.

COMMANDES ET CONTRATS

L'ATT procède actuellement à l'achat auprès de la division fils et câbles d'**Anaconda** de centraux électroniques privés modèles 75 D/450 D et 120 D/200 D.

L'**AOIP** fournira aux PTT français 400 transmetteurs automatiques d'alarmes par téléphone. Ces équipements permettent à un abonné au téléphone en difficulté (personnes cardiaques, personnes âgées) d'émettre automatiquement un appel vers un centre de secours.

Le Home Office britannique a octroyé un contrat d'un montant de 1 M£ à la firme **Burndep Electronics Ltd** (GB) pour la fourniture de 3 000 radiotéléphones personnels modèle BE 470. Ces appareils sont destinés à la police, aux pompiers et aux services pénitentiaires. Cette commande porte à 35 000 le nombre des radiotéléphones personnels fournis par Burndep du Home Office.

L'Aviation Royale de Nouvelle Zélande a octroyé un contrat à **Burndep Electronics Ltd** (GB) pour la fourniture de 300 appareils personnels de localisation de radiobalises, modèle Sabre.

Le Bahrain International Communications a octroyé un contrat d'un montant voisin de 5 M£ à **Cable and Wireless** pour la fourniture d'une station terrienne de télécommunications par satellite de 32 m de diamètre destinée à fonctionner avec les satellites Intelsat V. Les divers équipements seront fournis par la Nippon Electric Company et Marconi (cf. cette rubrique).

La Compagnie exploitante des téléphones Empresas Telefonos de Bogota (Colombie) a octroyé un contrat à la **CGCT**, filiale française de l'ITT, pour la fourniture de 3 autocommutateurs Metaconta de 10 000 lignes de capacité chacun.

La société exploitante des téléphones Empresas Publicas de Medellin a octroyé un contrat à la **CGCT** pour la fourniture d'un second autocommutateur Metaconta de 10 000 lignes et l'extension de 3 000 lignes du premier autocommutateur.



Système de navigation « Nadir » (Crouzet).

La **CGCT** fournira au Venezuela un autocommutateur Metaconta de 5 000 lignes de capacité.

Le Sri Lanka a octroyé des contrats d'un montant total de 2 MF à la **CIT-Alcatel** pour la fourniture de plusieurs liaisons MIC à 30 voies totalisant 200 km de longueur.

La **CIT-Alcatel** fournira aux Sapeurs Pompiers de Paris, 4 autocommutateurs privés de modèle CIT 240 (60 à 120 postes).

La firme américaine MCI a octroyé un contrat d'un montant de 1,5 MF à la **CIT-COM Systems**, filiale américaine de la CIT-Alcatel pour la fourniture d'équipements de multiplex numérique.

L'American Satellite Corporation a octroyé un contrat à la firme américaine **Coastcom** pour la fourniture de 1100 compresseurs-expandeurs à fréquence vocale modèle 935, destinés à accroître la capacité de systèmes de télécommunications terrestres et par satellite.

Codex Corporation a commencé au mois de juillet dernier, la livraison de modems à 9 600 bits/s à l'Australian Telecommunications Commission (AUS). Il s'agit d'un contrat d'un montant de 0,5 M\$ portant sur la fourniture de tels appareils destinés au

service de transmission de données Datal de l'Australian Telecommunications Commission.

La société **Cormerais** (F) fournira aux PTT français 400 transmetteurs automatiques d'alarmes (cf. cette rubrique AOIP).

Le Département des Postes et des Télégraphes de l'Irlande a octroyé un contrat d'un montant de 700 M de yens à **Fujitsu Ltd** pour la fourniture d'un autocommutateur télex électronique Fedex 100 et de 3 concentrateurs de lignes. La capacité initiale du système sera de 5 000 lignes.

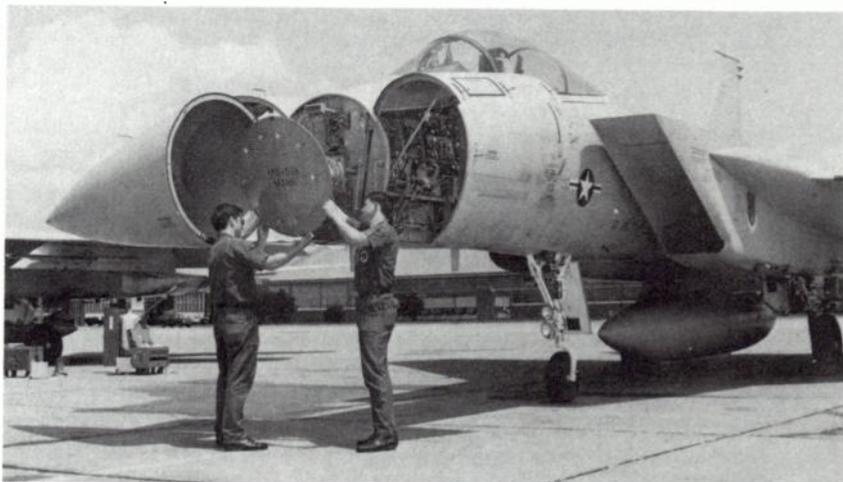
Le Département des Postes et Télécommunications d'Irlande a octroyé un contrat d'un montant de 0,75 M\$ à **GTE Telecomunicazioni**, filiale italienne de GTE, pour la fourniture d'un faisceau hertzien destiné à relier Dublin au port de Sligo (224 km, 1 800 canaux). Ce réseau fait partie d'un plan quinquennal de développement des télécommunications du pays représentant un investissement global de 750 M\$.

GTE Electronics fournira à Haïti un autocommutateur électronique en conteneur modèle C1 EAX de 4 800 lignes de capacité, pour un montant de 1,5 M\$. Rappelons que Haïti dont la population est voisine de 5 M d'habitants ne dispose que de 17 800 téléphones soit une densité téléphonique de 0,36 téléphones pour 100 habitants.

Le Ministère des PTT d'Algérie a octroyé un contrat d'un montant de 1,6 M\$ à **GTE International** pour l'accroissement de la capacité du réseau national de stations terrestres pour télécommunications spatiales de l'Algérie.

La Radiodiffusion iranienne a octroyé un contrat d'un montant de 6,75 M\$ à **Harris Corporation** pour la fourniture de 144 émetteurs à modulation de fréquence dont les puissances s'échelonnent entre 300 et 10 000 W.

Dans le cadre de la mise en place d'un service de radiotéléphonie mobile automatique commun les administrations suédoise, danoise et norvégienne ont passé des



L'œil de l'aigle - Le APG-63, conçu et fabriqué par la société Hughes Aircraft de Californie pour le chasseur F-15 «Eagle» de l'Armée de l'air américaine, est un radar de combat aérien souple, à plusieurs fonctions, d'accès facile.

commandes de matériel à **LM Ericsson** pour un montant de 20 M\$. La Suède a commandé deux centraux spéciaux qui desserviront 20 000 abonnés et le Danemark un central analogue pour 10 000 abonnés avec extension possible pour 50 000 abonnés. C'est la filiale de LM Ericsson, SRA Communications AB qui a été chargée de développer les équipements radioélectriques (cf. cette rubrique «divers»).

La Société des Foires Commerciales de Brno (Tchécoslovaquie) a octroyé un contrat d'un montant de 2 M\$ à **LM Ericsson** pour la fourniture d'un autocommutateur électronique privé, modèle AKD 79, de forte capacité et équipé d'un système de facturation des conversations.

Marconi Communication System fournira à la société française Provideo, 2 caméras couleur Mark IX portables.

Marconi fournira à Cable and Wireless des équipements de télécommunications terrestres, et les systèmes d'alimentation en énergie destinés à la future station de télécommunications par satellite du Bahrain (cf. cette rubrique «Cable and Wireless»). Le montant de la commande s'établit à 1,75 M£.

La Compagnie pétrolière Conoco a octroyé un contrat d'un montant de 0,17 M£ à **Motorola** pour la fourniture d'une liaison troposphérique destinée à mettre en relation trois plateformes pétrolières situées en Mer du Nord et appartenant à Conoco, à la Shell et à la British National Oil Corporation. Cette liaison fonctionnera dans la bande 1,7-1,9 GHz et aura une capacité de 72 circuits.

L'Intelsat a octroyé un contrat à la **Nippon Electric Company** pour la mise au point et la fourniture de supprimeurs d'écho pour télécommunications par satellite.

L'Union Soviétique a octroyé un contrat d'un montant de 16,5 M\$ à la **Nippon Electric Company** pour la fourniture d'une station terrestre de télécommunications par satellite et de systèmes de réservation de place pour 8 hôtels. Ces équipements sont destinés aux Jeux Olympiques de 1980.

La **Nippon Electric Company** fournira à Cable and Wireless une station terrienne de télécommunications par satellite (antenne de 32 m de diamètre, standard Intelsat V) destinés au Bahrain (cf. cette rubrique, «Cable and Wireless»). Le montant de la commande s'établit à 2,5 M£.

Philips a octroyé un contrat à la firme japonaise **Oki Electric** pour la fourniture d'un faisceau hertzien numérique à 18 GHz (280 M bits/s soit 4 000 circuits téléphoniques environ). Ce système est destiné aux essais de propagation et de transmission à 18 GHz qui seront entrepris pour le compte des PTT des Pays-Bas.

La Gulf of Suez Petroleum Company a octroyé un contrat d'un montant de 0,13 M£ à **Plessey EAE** pour la fourniture d'antennes de 18 m de diamètre pour des liaisons troposphériques entre Dashour près

du Caire et Ras Shukair. Ce contrat fait suite à une précédente commande de 1,8 M£ pour la fourniture et l'installation d'un système de télécommunications entre le Caire et Ras Shukair.

L'Aviation Civile d'Autriche a octroyé un contrat d'un montant de 9 M£ à **Plessey Radar** pour la fourniture du système complet de traitement et de visualisation des données radar et destiné à l'aéroport de Vienne.

La North West Water Authority (GB) a octroyé un contrat à **Plessey Radar** pour la fourniture d'un radar météorologique, modèle 45 C, qui sera installé à Hameldon Hill dans le Lancashire.

Les Autorités de la Nouvelle Ecosse (CND) ont octroyé un contrat d'un montant de 2 M\$ à **Pye Electronics Ltd**, filiale canadienne de Pye, pour la fourniture d'émetteurs-récepteurs bilatéraux modèle M 206 destiné au réseau radiocommunications des organismes publics de la province canadienne et qui doit entrer en service en 1980. Par ailleurs, un contrat de 1 M\$ a également été octroyé pour la maintenance de ces équipements pendant cinq ans.

L'Armée espagnole a octroyé un contrat d'un montant de 6 M£ à **Racal Tacticom Ltd** pour la fabrication en Espagne d'équipements de radiocommunications portables Clansman 349. Ces derniers seront produits en étroite association avec la société gouvernementale espagnole Equipos Electronics SA dans la région de Madrid.

Telsat Canada a octroyé un contrat d'un montant de 12,3 M\$ à **Raytheon Canada Ltd** pour la fourniture de 10 stations terriennes.

La National Remote Sensing Agency de l'Inde a octroyé un contrat d'un montant de 0,619 M\$ à **Scientific Atlanta** pour la fourniture d'un équipement terminal de poursuite de satellite Landsat.

Le Post Office britannique a octroyé un contrat d'un montant de 4,5 M£ à **SE Labs** pour la fourniture de modems modèle 12 B. Ces appareils sont destinés au service Datel.

L'Administration des Télécommunications de l'Argentine l'ENTEL, a octroyé un contrat à **Siemens** pour la fourniture d'un central téléphonique à commande par programme enregistré, modèle EWS de 22 000 lignes de capacité et de 24 000 postes téléphoniques. C'est la première commande de central électronique passée par l'ENTEL.

L'Autorité aéroportuaire de Hulule aux Iles Maldives a octroyé un contrat d'un montant de 7,5 M de DM à un groupement de sociétés allemandes dont le chef de file est la **Standard Elektrik Lorenz**, pour la fourniture et l'installation d'équipements de navigation, de sécurité aérienne et de télécommunication destiné à l'aéroport d'Hulule. La commande porte sur des systèmes d'aide à la navigation, des installations téléphoniques et télex, les balises,

les équipements de radiocommunications avec la tour de contrôle, et les systèmes d'alimentation correspondants.

Ford Aerospace a octroyé un contrat d'un montant de 1,7 M\$ à **Tecom Industries Inc (USA)** pour la fourniture de systèmes d'antennes.

La compagnie **Telefonno**, filiale commune de Nokia et de Televa, livrera à la Pologne des faisceaux hertziens numériques à 240 voies. Ces équipements sont destinés au réseau de communications du complexe minier de Lublin. Le montant de la commande s'établit à 2 M de marks finlandais.



Radars de surveillance du champ de bataille RASIT de LMT.

Telefonno (Finlande) fournira au Qatar six systèmes MIC à courants porteurs pour un montant de 1 M de marks finlandais.

L'Aviation Civile du Venezuela a octroyé un contrat d'un montant de 9 MF à **Thomson-CSF** pour la fourniture de 3 systèmes d'atterrissage aux instruments modèle ILS 381, catégorie I destinés à équiper les aéroports de Margarita, Barcelone et Maracaibo. Ce contrat prévoit la maintenance pendant deux ans et la formation des utilisateurs.

L'Aviation Civile de la confédération suisse a octroyé un contrat à **Thomson-CSF** pour la fourniture d'un système d'atterrissage aux instruments, modèle ILS 381 catégorie III destiné à équiper l'aéroport de Bâle. Cet équipement est déjà en cours d'installation.

Thomson-CSF a été retenu par les PTT français pour la fourniture des équipements du premier réseau de radiotéléphonie mobile automatique à 400 MHz de Paris. Le marché est estimé à 20 MF.

Un consortium japonais regroupant **Toshiba Corporation, Mitsubishi Corporation** et **Pacific Consultants International Co** ont obtenu un contrat d'un montant de 8 100 M de

yens du Ministère de l'Information de l'Irak pour la construction et l'équipement de 35 studios de télévision en couleur dans la région de Bagdad. Notons que c'est la première fois que des firmes japonaises enlèvent un contrat dans un pays du Moyen-Orient qui a retenu le système français SECAM.

Les PTT français ont confié à **TRT** l'étude et le développement d'un nouveau faisceau hertzien numérique d'intervention à 10 GHz. Cet équipement baptisé FLP 10, permettra d'effectuer des liaisons numériques à 8 et à 34 M bits/s ou des liaisons analogiques transmettant 1260 voies téléphoniques ou un programme de télévision. Le FLP 10 pourra être mis en œuvre en quelques heures.

TRW Vidar fournira à la Canadian National Telecommunications un autocommutateur numérique destiné au Yukon pour un montant de 0,7 M\$.

VIE DES SOCIÉTÉS ET RÉSULTATS FINANCIERS

Au cours de l'exercice fiscal clos au 30 juin 1978, **California Microwave Inc** a réalisé un chiffre d'affaires de 33,2 M\$ (+ 27 %) et un bénéfice net de 1,89 M\$ (+ 26 %).

La **Codetel** (Compagnie pour le Développement des Télécommunications) a émis un emprunt obligatoire de 390 MF à 10,40 % destiné à financer la construction ou l'extension de 52 centraux.

Au cours du premier semestre de 1978, **LM Ericsson** a réalisé un chiffre d'affaires de 892,7 M\$ (+ 1,13 %) et un bénéfice net de 91,8 M\$ (+ 7 %).

Au cours du deuxième trimestre de 1978, la **Northern Telecom Ltée** a réalisé un chiffre d'affaires consolidé de 366,4 M\$ (+ 342,4) et un bénéfice net consolidé avant prélèvements exceptionnels de 24,9 M\$ (+ 24,2 %).

La Nippon Electric Company et la firme argentine Compania Naviera Argentina Perez Companc SA ont formé en Argentine une filiale manufacturière commune sous le nom de **Pecom-NEC**. Pecom NEC produira des équipements de télécommunications (autocommutateurs, faisceaux hertziens, systèmes MIC) destinés à l'Administration des Télécommunications de l'Argentine, ENTEL.

Harris Corporation a acquis auprès de Dun et Bradstreet 19 % des actions de la firme américaine **Quotron System Inc** (Los Angeles). Quotron, spécialisée dans la fabrication de produits de transmission et de traitement de données emploie 525 personnes et a réalisé en 1977 un chiffre d'affaires de 33 M\$ et un bénéfice net de 2,6 M\$. Le montant de la transaction s'établit à 4,48 M\$.

Le groupement d'intérêt économique **Satel Conseil** a été constitué par le Centre National d'Études Spatiales, la Direction Générale des Télécommunications et Télédiffusion de France. Ce nouveau groupement a pour mission de fournir des prestations de consultant international dans le domaine des systèmes intégrés de télécommunications par satellite (équipements spatiaux et terrestres, radio et télédiffusion). L'adresse de Satel Conseil est 7, rue du Quatre-Septembre 75002 Paris.

Au cours des 9 premiers mois de 1978, **TRT** a réalisé un chiffre d'affaires hors taxes de 500,7 MF (+ 11,8 %). Le chiffre d'affaires hors taxes consolidé de TRT, Omera et de la Société Française des Techniques Pye s'élève à 643,6 MF (+ 10,3 %) dont 28,7 % ont été réalisés à l'exportation.

Au cours du deuxième semestre de 1978 **Western Union International** a réalisé un chiffre d'affaires d'exploitation de 172,1 M\$ (+ 164,2 %) et un bénéfice net de 15,1 M\$ (+ 14,8 %). Le service Mailgram a connu durant ce trimestre une croissance du chiffre d'affaires de 24 %.

DIVERS

L'Afrique du Sud a conjointement retenu les systèmes de commutation téléphonique numérique **E 10** (CIT-Alcatel) et **EWIS** (Siemens) pour l'équipement du pays. Le central E 10 seront localement fabriqué par Fulmen Afrique, filiale sud africaine de la CGE et par la TMSA, filiale 50-50 de Plessey et de GEC.

Le premier service de transmission radio téléphonique de messages du Moyen-Orient a été mis en service au début du mois de novembre à Bahrain par la firme britannique Cable and Wireless. Ce système utilise des équipements radioélectriques à modulateur de fréquence et en ondes métriques, modèle RC 625 de Marconi Communication Systems Ltd.

Les Administrations des télécommunications de la Suède, de la Norvège et du Danemark ont décidé la mise en place d'un système de radiotéléphonie mobile publique automatique commun à ces trois pays. Ce système entrera en service en 1981.

L'Administration Suédoise des Télécommunications, la Televerket a récemment mis en place un réseau d'appel radioélectrique de personnes comparable à celui d'Eurosignal. Le système d'émission est situé à Orebro.

oe

DANS LES USINES

Fairchild introduira en 1979 une nouvelle famille de microprocesseurs bipolaires en tranches de 8 bits.

Fairchild introduira au milieu de 1979, un microprocesseur à 16 bits sous la référence 9445. Ce dispositif possèdera le même jeu d'instruction que le miniordinateur Nova 3 de Data General.

Hitachi Ltd introduit sous la référence H 2513 un dispositif d'affichage alphanumérique à matrice de points et à cristal liquide permettant de présenter 2 lignes de 16 caractères. Ce dispositif est proposé avec le circuit intégré MOS Complémentaire de commande.

International Rectifier fait son entrée dans le marché des transistors MOS de puissance en présentant deux séries de dispositifs : portant les références IRF 100 (10 A ; 90 V ; résistance passante 0,2 Ω) et IRF 300 (30 A ; 400 V ; 1,4 Ω).

Selon les termes d'un accord conclu entre les deux firmes **Mostek Corporation** produira en seconde source le microprocesseur à 16 bits d'Intel modèle 8086.

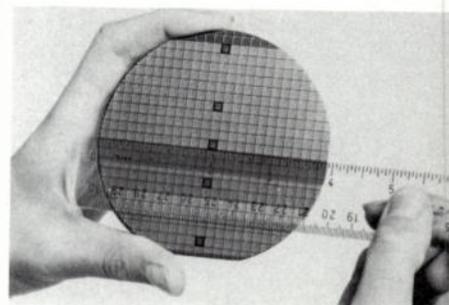
Motorola introduira dans le courant de 1979, sous la référence 68 000 un microprocesseur à 16 bits.

Une nouvelle unité de production de circuits intégrés MOS à canal N a été mise en service à l'usine **Motorola** d'East Kilbride (GB). Cette unité traite des tranches de silicium de 100 mm de diamètre au rythme de 200 000 dispositifs par mois (principalement des microprocesseurs 6800 et 6802).

COMPOSANTS

La **Nippon Electric Company** produira dans son usine irlandaise des mémoires vives dynamiques de 16 K bits au rythme de 30 à 30 000 mémoires par mois. Ces mémoires seront destinées au marché européen.

La société **Sperry Univac** fait son entrée dans le marché des systèmes à fibres optiques, en présentant un certain nombre de boîtiers d'émission pour la transmission de données.



La division Fibres Optiques du Groupe ITT Components de la **Standard Telephones and Cables** filiale britannique de l'ITT, a mis au point un appareil destiné à réaliser les épissures de fibres optiques et portant la référence OFSK 01. Cet appareil permet de raccorder deux fibres de silice réalisées selon le procédé à déposition chimique en phase vapeur CVD. L'équipement complet comprend : un système d'alignement mécanique des fibres, une loupe binoculaire, des lampes d'éclairage. L'opération est réalisée au moyen d'un tube en Pyrex alisé à faible diamètre dans lequel les fibres sont reliées par chauffage. Une aiguille hypodermique, en guise de manchon, est ajustée pour conférer à l'ensemble une résistance accrue. L'atténuation moyenne de l'épissure est de 0,5 dB, le diamètre total est de 1,6 mm.

La firme japonaise **Stanley Electric** a porté de 7 à 10 M d'unité sa production mensuelle de dispositifs d'affichage à diodes électroluminescentes.

Thomson-CSF, le Commissariat à l'Energie Atomique (CEA), et Efcis (filiale 50-50 de Thomson-CSF et du CEA) ont signé une série d'accord de coopération technologique avec **Motorola** en matière de circuits intégrés selon les termes desquels :

- Sescosem (Thomson CSF) accède aux technologies bipolaires de Motorola
- Efcis accède aux technologies MOS à canal N de Motorola.

Ces accords ne sont pas à sens unique et concernent également le développement de produits. D'une manière générale la Sescosem reçoit une vocation en matière de technologies bipolaires et l'Efcis une vocation en matière de circuits intégrés MOS.

La firme japonaise **Toko Inc** a fait son entrée dans le marché des alimentations régulières à découpage en présentant 22 modèles délivrant des puissances de 8 ; 15 et 25 W.

Toshiba a récemment présenté une mémoire vive statique de 4 bits réalisée en technologie MOS Complémentaire silicium sur substrat isolant. Cette mémoire présente un temps d'accès de 58 ns et une consommation de 9,5 μ W en fonctionnement. La cellule mémoire élémentaire ne comporte que 4 transistors MOS (1 à canal P et 3 à canal N) contre 6 dans les dispositifs classiques (2 à canal P et 4 à canal N). Les dimensions de la puce de semiconducteur sont de 3,3 x 4,5 mm, celles de la cellule élémentaire de 30 x 40.

Toshiba Corporation a mis au point une nouvelle technique de fabrication des circuits intégrés MOS à très haute densité d'intégration (VLSI). Cette technique concerne l'isolation des éléments dans un circuit MOS, elle consiste en une attaque chimique inverse la couche d'oxyde de silicium par un gaz de fluorure d'hydrogène. Les résultats ont permis d'obtenir une augmentation de la densité d'intégration de 43 % pour une échelle de 4 μ , de 55 % pour une échelle de 3 μ et de 100 % pour une échelle de 2 μ . Ce procédé est dénommé REOX. Cette technique a été appliquée sur un microprocesseur à 16 bits dont elle a permis de réduire le temps de cycle de 300 à 272 ns.

COMMANDES ET CONTRATS

La firme américaine CCA Electronics Corporation a octroyé un contrat d'un montant supérieur à 0,25 M\$ à la filiale américaine de l'**English Electric Valve Company Ltd** pour la fourniture de klystrons et de circuits associés destinés à équiper les nouveaux émetteurs de télévision en ondes décimétriques de 15 ; 30 ; 110 et 220 kW fabriqués par CCA.

Exacta Circuits Ltd, filiale de l'ITT spécialisée dans le secteur des circuits imprimés a implanté une filiale commerciale en France sous le nom de **Exacta Circuits Ltd France** (Avenue Charles de Gaulle, 78150 Le Chesnay Tél. : 955.52.88).

Le General Motors (USA) a décidé de procéder à l'achat massif au Japon de composants pour l'électronique automobile auprès de 11 firmes japonaises dont la Teikoku Tauhin Kogyo Ltd (commande volume sonore), la Nippon Chemical Condenser Co Ltd (condensateurs électrochimiques), Mitsumi Electric Co (têtes magnétiques pour magnétophones à cassettes). La valeur initiale totale des contrats dépasse 8 M\$.

VIE DES SOCIÉTÉS ET RÉSULTATS FINANCIERS

La société des Câbles de Lyon du groupe CGE a constitué une société cadre sous le nom de **Cablelec SA** (capital 100 000 F ; 170, quai de Clichy, Clichy (F)).

La firme américaine **Chomerics** a constitué à Haïfa (Israël) une filiale qui sera spécialisée dans la recherche et le développement, et la fabrication de matériaux de conduction thermique destinés à l'électronique.

Le capital de **Mallory Batteries S.A.** (France) a été porté de 5 à 5,5 MF.

Motorola Semiconductor a constitué une nouvelle division baptisée Division Internationale.

La société suédoise Svenska Ackumulator AB Jungner a constitué une filiale en France pour la vente d'accumulateurs sous le nom de **Nife France** (capital : 0,75 MF ; 125, avenue des Champs Elysées 75008 Paris).

La société allemande Papst a constitué une filiale aux Etats-Unis sous le nom de **Papst Motor Corporation** (5, Top View Drive, PO Box 557, Simsbury, Connecticut 06070 USA).

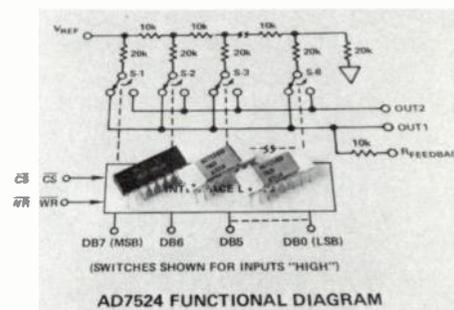
La société **Sacasa** a été constituée dans la région parisienne (7, rue de l'Avenir, 92360 Meudon la Forêt, Tél. : 630.68.39). Cette société est spécialisée dans la distribution en matière de composants électroniques.

PRODUITS RÉCENTS

Analog Devices : Convertisseur rapide analogique-numérique à 12 bits avec interface bus microprocesseur à 8 ou 16 bits incorporé, modèle AD 574. [9983]

- Convertisseur rapide analogique-numérique à 12 bits, modèle AD 565. [9984]

- Carte d'interface entrée-sortie pour micro-ordinateur Exorciser de Motorola, modèles RTI 1230 (32 entrées analogiques), RTI 1231 (32 entrées analogiques, 2 sorties analogiques), et RTI 1232 (4 sorties analogiques et 4 sorties logiques de puissance). [9985]



- Convertisseur monolithique numérique-analogique à 8 bits (technologie MOSC) directement compatible avec les microprocesseurs, modèle AD 7524. [9986]

- Amplificateur opérationnel de précision doté d'un TEC à l'entrée, modèle AD 545. [9987]

- Convertisseur numérique-analogique à 10 bits multiplieur 4 quadrants, modèle AD 7533. [9988]

- Potentiomètre électronique à commande numérique (en réalité convertisseur numérique-analogique à 3 1/2 chiffres BCD, modèle AD 7525. [9989]

Analogic : modules de conditionnement de ponts de jauges, série 43 xx. [9990]

Burr-Brown : Convertisseur numérique-analogique à 12 bits et de précision, modèle DAC 87. [9991]

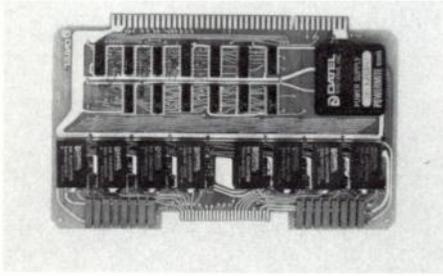
Cherry : Clavier alphanumérique-symbolique type ASR 33, modèle 53 T. [9992]

- Roues codeuses miniatures à poussoir à 16 positions de la série T 56. [9993]



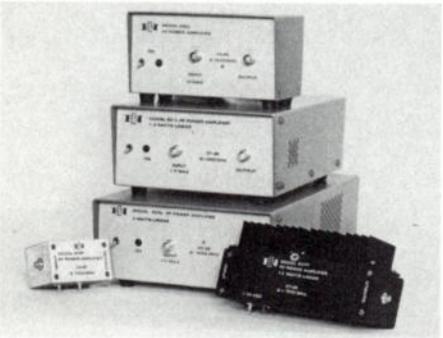
- Pupitre de touches alphanumériques, modèle G 99 0050. [9994]

Computer Labs : Amplificateur suiveur-bloqueur rapide (temps d'acquisition : 100 ns à 1 %) modèle HTC 0300. [9995]

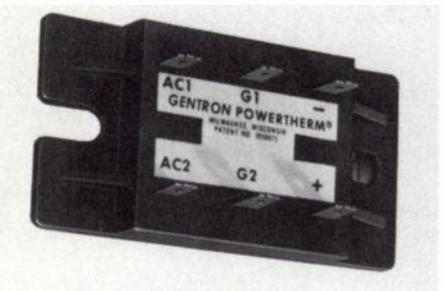


Datal Systems : Carte d'interface à 4 canaux de conversion numérique analogique pour microordinateur Exorciser de Motorola, modèle ST 6800 DA 4A. [9996]

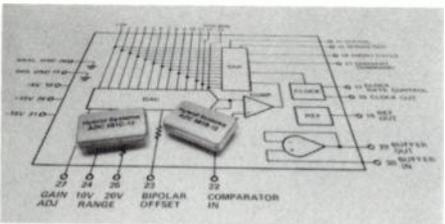
– Carte d'entrée à 64 canaux analogiques unipolaires ou 32 canaux analogiques différentiels pour miniordinateurs PDP 11, modèle ST PDP2 D1C5. [9997]



ENI : Amplificateurs linéaires (bande passante : 0,8-1000 MHz) délivrant en sortie 150 mW (gain : 24 dB); 1,2 W (gain : 37dB) ou 3 W (gain : 40 dB). [9998]



Gentron : Ponts redresseurs contrôlés ou non (25 A) série B. [9999]



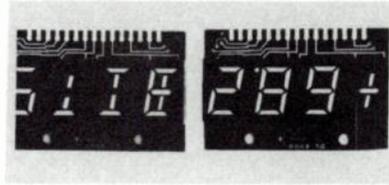
Hybrid Systems : Convertisseur analogique numérique rapide à 12 bits, modèle ADC 581. [1000]

Intersil : Multiplexeurs analogiques à 16 canaux réalisés en technologie MOSC, modèle IH 6116. [1001]

– Convertisseur monolithique analogique-numérique à 12 bits réalisés en technologie MOSC pour microprocesseurs, modèle ICL 7109. [1002]

ITT-Cannon : Connecteurs multiusages (60, 96 et 156 contacts) série DL. [1003]

– Connecteurs miniatures circulaires à haute densité (3-128 contacts) série KJ. [1004]



Litronix : Dispositif d'affichage pseudo alphanumérique à 4 caractères de 12,7 mm et à diodes électroluminescentes (9 segments par caractère), type DL 4509. [1005]

– Voyants à diodes électroluminescentes (couleur : rouge), série RL 4480. [1006]

Motorola Semiconducteurs : Amplificateur de lecture pour unités à disques souples, modèle MC 3740. [1007]

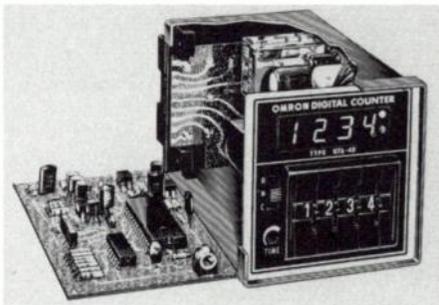
– Circuit intégré décaleur numérique programmable à 16 bits, modèle MC 10808. [1008]

– Contrôleur d'accès direct à la mémoire pour microprocesseur 6800, modèle MC 6844. [1009]

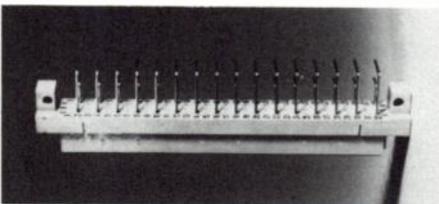
– Double pile d'accès utilisable comme bloc de registre ou comme mémoire tampon, modèle MC 10806. [1010]

– Contrôleur d'écran cathodique pour microprocesseur 6800, modèle MC 6845. [1011]

MSC : Amplificateur de puissance hyperfréquence équipé du TEC à l'arséniure de gallium (1-8 GHz; gain : 20-30 dB; puissance : 1 W). [1012]



Omron : Compteur électronique à mémoire 2-4 digits, norme DIN : 72 x 72 mm, modèle H7A. [1013]



Panduit : Connecteurs femelles à la norme DIN 41612 (32, 64 contacts en 2 rangées ou 32, 64, 96 contacts en 3 rangées) série 100. [1014]

Raytheon : Amplificateurs opérationnels monolithiques à hautes performances modèle 4156 (quadruple) et 4559 (double). [1015]

Schoeller and Co : Circuit imprimé rigide flexible multicouches. [1016]

SGS Ates : Circuit intégré chaîne son TV à modulation de fréquence, modèle TDA 2190. [1017]

– Transistor NPN haute tension (200 V/3A) modèle BU 325. [1018]

– Transistors de commutation à forte puissance (48 V) modèles 2N5038/5039 (20 A), 2N5671/5672 (30 A) et 2N6033 (40 A) 2N6032 (50 A). [1019]

– Transistors de commutation à forte puissance (250 V) : BUW 34/35 (400 V, 10 A) et BUW 36 (450 V, 10 A). [1020]

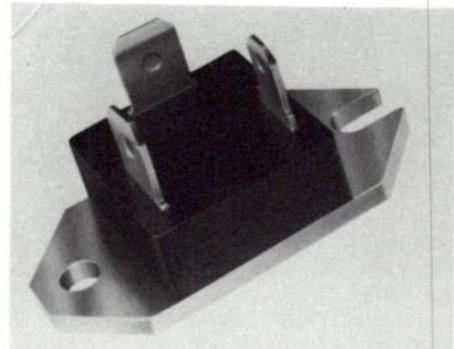
– Paires complémentaires de transistors de puissance présentés en boîtier plastique SOT 32 (2 et 3 A, 45 à 80 V) série BD 233 à 238 et BD 175 à 180. [1021]

– Antenne électronique intérieure de réception pour télévision (470-900 MHz, 30 dB, 75 Ω). [1022]

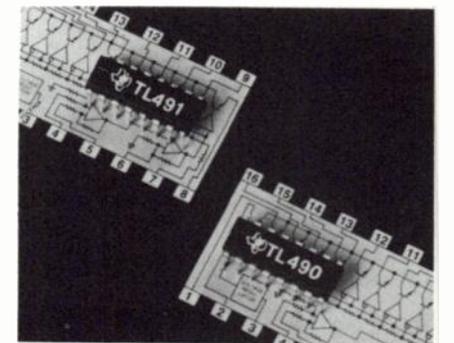
Sprague : Condensateurs tantale solide et à enrobage de résine (0,01μF/50 V à 680 F/3V) série 499 D. [1023]

– Condensateur à l'aluminium et à sorties axiales (22 μF/350 V à 4700 μF/10 V) série 734 D. [1024]

Standard Microsystems : Circuit intégré Émetteur-Récepteur Asynchrone Universel (UART) à 200 K bits/s modèle COM 6402. [1025]



Teccor : Triac isolé (200 à 600 V; 25 A). [1026]



Texas Instruments : Circuits intégrés détecteur analogique à 10 niveaux, modèles TL 490 et 491. [1027]

Unitrode : Diodes rapides (50 à 300 V; 30 A; boîtier DO 5) modèles AN 3909 à 3912. [1028]



MESURE & INSTRUMENTATION

Le Ministère de l'Éducation Nationale (F) a octroyé un contrat à **Enertec Schlumberger** pour la fourniture de 2 700 oscilloscopes à 2 voies et à 500 KHz. Ce même ministère a également placé une option sur 1 500 appareils supplémentaires.

Philips a octroyé un contrat d'un montant de 0,42 M\$ à la firme japonaise **Watanabe Instruments Corporation** pour la fourniture de tables traçantes XY modèle WX 4631 en version «pour constructeur» (OEM en anglais).

PRODUITS RÉCENTS



Analogic Devices : Indicateur numérique de tableau (2 000 points, alimentation secteur; 2 V ou 0,2 V pleine échelle, 6 entrées multiplexables) modèle AD 2037. [1029]

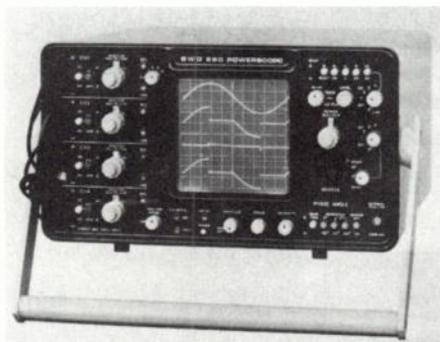


Ballantine : Compteur-fréquence numérique (0-1 GHz) modèle 5500 B 35. [1030]



— Multimètre numérique à 2 000 points (donnant les valeurs efficaces vraies, modèle 3030 A. [1031]

— Calibrateur d'oscilloscope (tension, temps, temps de montée et de synchronisation) modèle 6125 C. [1032]



BWD : Oscilloscope pour applications électrotechniques (tension, déphasages, etc) modèle Powerscope. [1033]

CEM : Multimètre numérique à 2 000 points et à 26 calibres, modèle Metravo 4 D. [1034]



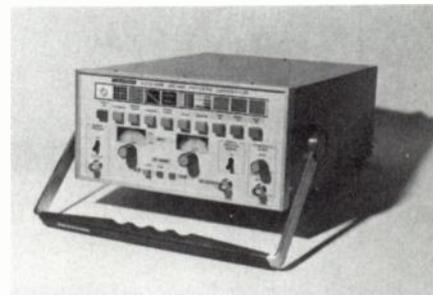
Doric : Centrale automatique de mesure modulaire, modèle 230 A. [1035]



Keytek : Générateur de chocs électriques, modèle 1 000. [1036]



Leader : Appareil de test pour chaînes basse fréquence à haute fidélité (générateur : 10 Hz-1 MHz; millivoltmètre alternatif, atténuateur) modèle LAV 191 Audio Tester. [1037]



— Générateur de mire TV au standard SECAM. [1038]



Malden : Chronomètre numérique (1 μ s à 10 000 s). [1039]

— Compteur-fréquence numérique universel (10 Hz-560 MHz) modèle 8836/560. [1040]



Rockland : Synthétiseurs de fréquence programmables (100 kHz à 160 MHz) série 5600. [1041]

Tekelec Airtronic : Indicateurs numériques de tableau à diodes électroluminescentes et à 2 000 points. [1042]

— Appareil pour le test d'extrémités MIC, modèle TE 80. [1043]

Tektronix : Moniteur de télévision couleur à haute résolution (PAL, SECAM, NTSC, RVB) équipé d'un tube trinitron de 32 cm de diagonale. [1044]



Valhalla Scientific : Multimètre fréquence-mètre à 20 MHz (20 000 points; autonome), modèle 4440. [1045]

oe

INFORMATIQUE

COMMANDES ET CONTRATS

L'Agence Spatiale Européenne a octroyé un contrat à la **Sagem** (F) pour l'étude et la mise au point d'un prototype de mémoire à bulles embarquable de 60 M bits de capacité.

Systems Engineering Laboratories fournira à la SFENA un calculeur SEL 32/77.

Systems Engineering Laboratories fournira à la société aéronautique italienne Aermachi un ordinateur scientifique SEL 32/77 sous une configuration importante.

VIE DES SOCIÉTÉS
ET RÉSULTATS FINANCIERS

Au cours du premier trimestre de l'exercice fiscal qui sera clos au 30 juin de 1979, **Centronics Data Computer Corporation** a réalisé un chiffre d'affaires provisoire de 21,6 M\$ (+ 35,7 %) et un bénéfice net provisoire de 2,1 M\$ (- 32,2 %).

Le fabricant américain d'imprimantes **Qume Corporation** sera intégré au groupe ITT. Cette opération se fera par voie d'échange d'actions.

Le capital d'**ITT Data Systems France** a été porté de 8 à 20 MF.

Toutes les informations concernant la Rédaction doivent parvenir désormais à :

L'onde électrique
120, bd St-Germain
75280 Paris Cedex 06
Tél. 329.21.60
Télex 260.946

oe

GRAND PUBLIC

Au cours de l'exercice fiscal clos au 31 mars 1978, **Grundig** a réalisé un chiffre d'affaires de 2,7 milliards de DM dont 1,5 milliard sur le marché allemand (+ 12 %) et 1,2 milliard sur le marché étranger (+ 7 %) et un bénéfice net de 179 M de DM (- 7,4 %).

ITT Océanic, filiale française de l'ITT, introduira au mois de janvier 1979, sous la référence Video Recorder 240, un magnétoscope couleur à cassette selon le système VCR. Cet appareil programmable aura une durée d'enregistrement de 4 heures et sera entièrement programmable.



La société allemande **Loewe Opta** du groupe Philips, spécialisée dans l'électronique grand public, s'apprête à fermer son usine de fabrication de radorécepteurs et de sous-ensembles pour téléviseurs située à Berlin et qui emploie 500 personnes.

Pioneer Electronic Corporation, filiale américaine de la société japonaise Pioneer, a pris le contrôle à 100 % la société américaine **Phase Linear** spécialisée dans la fabrication de matériels à «haute fidélité» et dont le chiffre d'affaires avait été de 7 M\$ en 1977.

COLLOQUE INTERNATIONAL DE COMMUTATION

PARIS, 7-11 MAI 1979

Le Colloque International de Commutation CIC-ISS 79 se tiendra à Paris, à l'hôtel PLM Saint-Jacques, du lundi 7 au vendredi 11 mai 1979.

Il est placé sous le haut patronage du Secrétaire d'État aux Postes et Télécommunications et organisé par la Société des Électriciens, des Électroniciens et des Radioélectriciens (S.E.E.) et par le Groupement des Industries Électroniques (GIEL).

Cette manifestation scientifique, qui a pour but de faire le point des techniques de commutation électronique dans les télécommunications (téléphone et données), est la neuvième du genre. Les précédentes ont eu lieu aux Bell Laboratories (1957), à Londres (1960), Holmdel (1963), Paris (1966), Londres (1969), Boston (1972), Munich (1974) et Kyoto (1976).

C'est l'occasion pour tous les spécialistes de cette technique en pleine évolution et dont les aspects vont de l'informatique à la transmission numérique ou de l'exploitation des réseaux aux terminaux de télécommunication, de confronter leurs points de vue au niveau mondial et de prendre connaissance des réalisations nouvelles.

L'importance du Colloque International de Commutation peut se mesurer par le nombre croissant de contributions de haute tenue technique présentées pendant la semaine : 95 à Munich en 1974, 136 à Kyoto en 1976, environ 170 à Paris en 1979, ce qui nécessitera une présentation en parallèle dans trois salles.

Ces contributions ont été retenues après un filtrage sévère par un comité scientifique international qui a éliminé environ la moitié des propositions reçues.

Elles émanent de 24 pays différents mais, bien que la commutation électronique intéresse très vivement les pays en voie de développement, ce sont évidemment les pays industrialisés qui présentent le plus de contributions techniques : 35 françaises, 26 américaines, 17 allemandes, 16 japonaises, 12 italiennes, 12 anglaises, 11 canadiennes, 4 suédoises, etc...

En complément des exposés, les industriels français prévoient d'organiser un certain nombre de visites techniques qui leur permettront de présenter leurs matériels les plus récents.

La participation au Colloque International de Commutation est toujours très importante. Si la tendance constatée jusqu'ici se maintient, on peut estimer que le Colloque de Paris attirera de 1 200 à 1 500 personnes.

Tous les renseignements complémentaires peuvent être obtenus à l'adresse suivante : Colloque International de Commutation, 11, rue Hamelin, 75783 Paris Cedex 16. Tél. : 505.14.27 - poste : 467 ou 567.

CIC 1979 ISS

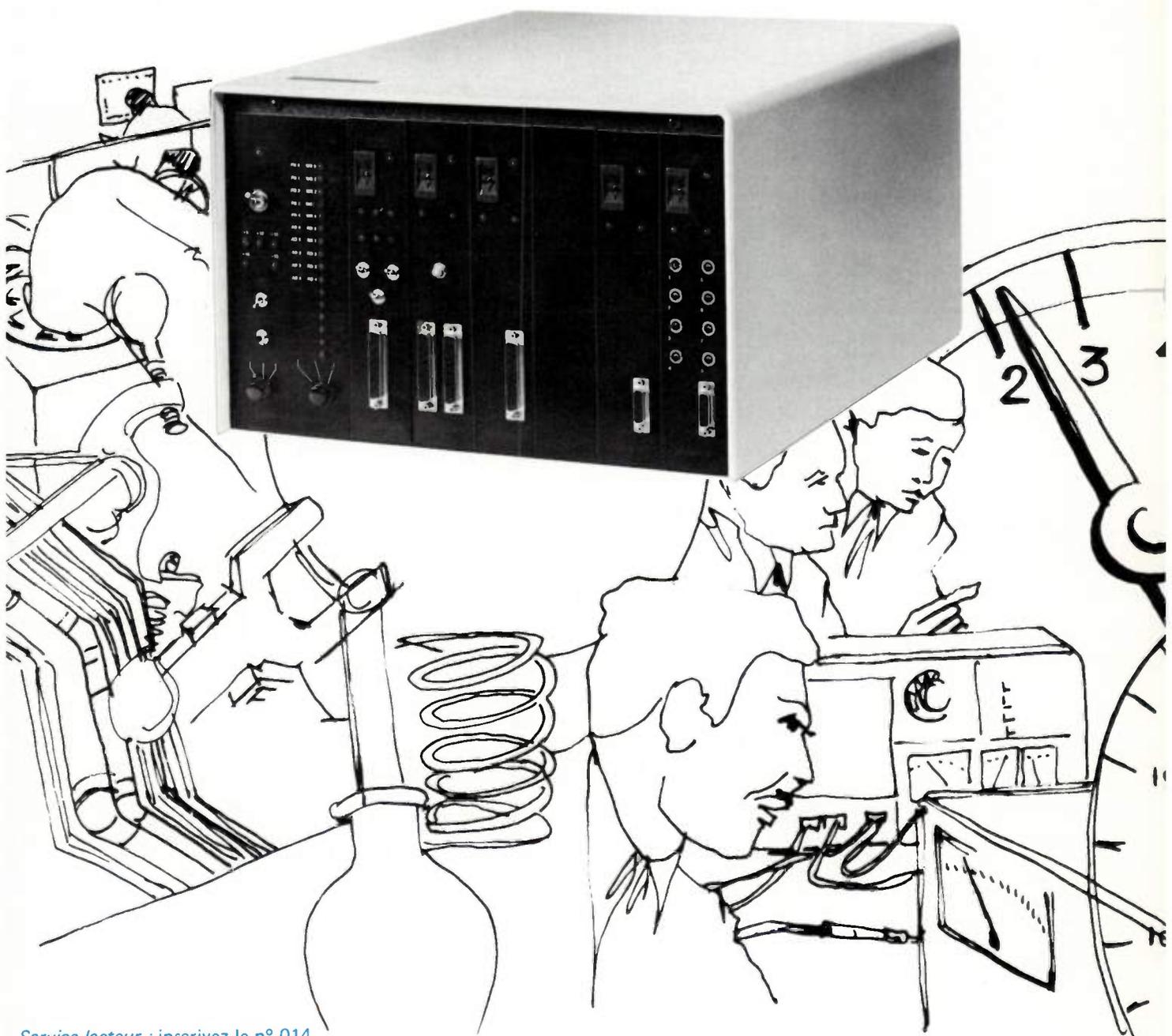


colloque
international
de la
commutation
international
switching
symposium

Coupleur Analogique Numérique IBM 7406

*Une connexion simple, rapide, économique,
entre instruments de mesure ou équipements de test
et tout système de traitement numérique.*

IBM Equipements Industriels
Tour Septentrion - Courbevoie
92081 Paris-La-Défense
Tél. 776.43.43. Poste 5800



Service lecteur : inscrivez le n° 014



NOUVELLES ÉCONOMIQUES

FRANCE

Au 31 août 1978, on recensait par voie de redevance, en France :

4 867 183 téléviseurs couleur
10 365 930 téléviseurs noir et blanc.

GRANDE-BRETAGNE

Au cours des 8 premiers mois de 1978, il a été livré aux distributeurs en Grande-Bretagne 1,033 M de **téléviseurs couleur** (+ 6 %) dont plus de 80 % produits par des firmes implantées en Grande-Bretagne.

JAPON

D'après le Ministère japonais de l'Industrie et du Commerce International, les livraisons au Japon d'ordinateurs de bureau fabriqués par des constructeurs japonais ont évolué de la manière suivante :

	Nombre d'unités	Valeur en milliards de yens
1973	8 100	35
1974	8 600	52
1975	7 000	44
1976	7 500	51
1977	9 800	67

Le Japon compte plus d'une vingtaine de constructeurs (Toshiba, NEC, Mitsubishi, Funitsu).

Cette industrie connaît actuellement des difficultés car elle n'arrive à répondre à la demande sur le plan des logiciels.

INTERNATIONAL

D'après le «Yearbook» of West European Electronics Data du consultant Mackintosh c'est la France qui connaîtra d'ici à 1982, le plus fort taux de croissance du marché de l'électronique tandis que l'Allemagne Fédérale constituera le marché le plus important. *Évolution du marché de l'électronique de l'Europe Occidentale (en milliards de \$).*

	1979	1982
informatique	9,2	11,1
contrôle et instrumentation	6,8	8,6
télécommunications	10,1	12,6
communications	5,0	6,5
grand public	9	9,6
composants	12,2	13,9
circuits intégrés	11,5	1,6
composants passifs	4	5
condensateur		1,2
résistances		0,8
connecteurs		0,5

Le consultant américain Dataquest Inc a réalisé une étude sur le marché des dispositifs à semiconducteur pour l'automobile.

	1978	1979	1980	1981	1985
Moteur	8,60	15,22	21,09	38,46	37,35
Radiorécepteur	0,93	1,38	1,25	1,10	0,90
Tableau de bord	2,75	3,12	5,82	6,90	7,75
Chassis	2,50	2,76	3,75	6,30	10,10
TOTAL	9,53	16,60	22,34	39,56	38,25

Montant moyen des dispositifs à semiconducteur contenus dans un véhicule de fabrication américaine (en \$)

	1978	1979	1980	1981	1985
Moteur	2,70	3,00	4,00	4,20	5,70
Radiorécepteur	1,10	1,00	1,30	1,20	1,50
Confort	2,20	2,10	2,20	2,10	2,10
Divers	0	0	0	0,10	0,20
TOTAL	6,00	6,10	7,50	7,50	9,50
Production de véhicules (en M d'unités)	11,9	12,3	12,7	13,1	14,5

Montant moyen des dispositifs à semiconducteurs incorporés dans un véhicule de fabrication européenne destiné au marché européen (en \$)

	1978	1979	1980	1981	1985
Moteur	3,10	4,10	11,50	15,70	12,00
Radiorécepteur	1,20	1,40	1,60	1,70	2,90
Confort	2,00	2,50	4,80	6,30	10,00
Divers	0	0	0,10	0,10	6,80
TOTAL	6,30	8,00	18	23,80	31,70
Production de véhicules	0,5	0,5	0,5	0,5	0,5

Montant moyen des dispositifs à semiconducteurs incorporés dans un véhicule de fabrication européenne destiné au marché américain.

D'après les Communautés Européennes, le pourcentage de la population active qui est touché par le chômage a évolué de la façon suivante :

	1974	1978
Danemark	3,1 %	7,2 %
Allemagne Fédérale	2,2 %	2,9 %
France	2,8 %	5,5 %
Irlande	5,7 %	8,9 %
Italie	5,2 %	7,6 %
Pays-Bas	2,8 %	4,2 %
Belgique	3,1 %	8,2 %
Luxembourg	-	1,2 %
Royaume-Uni	2,4 %	6 %

Coupleur Analogique Numérique IBM 7406

Saisie de mesures en laboratoire.

Le coupleur Analogique Numérique IBM 7406 se connecte à la quasi totalité des systèmes de traitement numériques. Il est opérationnel en quelques secondes grâce à l'emploi d'un langage de programmation de haut niveau. L'IBM 7406 supprime la saisie manuelle, apporte une meilleure précision, élimine les erreurs de transcription. Il accepte en entrée comme en sortie toutes les informations numériques analogiques et se configure en fonction des applications rencontrées. Son prix ? A partir de 25.000 F.

Principales caractéristiques.

Connexion directe, locale ou à partir d'un terminal relié à un système de instrumentation élémentaire. Aucune incompatibilité avec le matériel ou le logiciel. Utilisable avec les langages APL, FORTRAN, PL1, BASIC. Modulaire et économique. Possibilité d'utilisation en mode autonome avec sortie sur dérouleur de bande IBM 7407. Capacité de stockage sur bande de 60.000 caractères. Possibilité d'enregistrement et de transmission jusqu'à 400 caractères par seconde. Compatible avec les terminaux IBM 741, 3767, 72CMC (ou équivalent) avec l'ordinateur IBM 5110, le Télétype* 3335 (ou équivalent), le Tektronix*4013 (ou équivalent), etc... Vitesse ajustable de 110 à 9.600 cps.

Modules disponibles.

- Module de communication.
- Module d'entrées numériques.
- Module de sorties numériques.
- Module d'entrées analogiques.
- Module de sorties analogiques.
- Module de contrôle pour unité de bande magnétique.

Caractéristiques physiques.

- hauteur 273 mm
- profondeur 546 mm
- largeur 435 mm
- poids 43,2 kg

Domaines d'applications.

- Chromatographie en phase liquide.
- Spectroscopie rayons X.
- Automatisation d'expérimentation.
- Surveillance de production.
- Contrôle numérique de machines-outils.
- Contrôle des moteurs électriques.
- Conception et test de circuits.
- Collecte de données en laboratoires.
- Contrôle de qualité (chimique).
- Développement de produits (pompes).
- Recherche océanographique.



*marque déposée

Service lecteur : inscrivez le n° 014

27815

Carte-réponse à retourner à :

IBM Equipements Industriels

Nom

Fonction

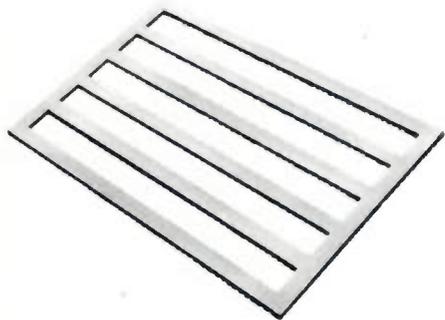
Société

Adresse

Tel. Poste

Tour Septentrion
Courbevoie
92081 Paris-La-Défense
Tél. 776.43.43 poste 5800

IBM



Avec Mini ⚡ Bus

vous augmentez la section de vos conducteurs d'alimentation en libérant la surface de votre circuit.



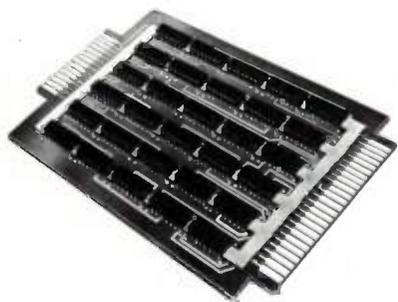
+ ces circuits intégrés

vous faites tenir facilement 36 c.i. sur une carte double-face de 125 × 150 mm.



+ ce circuit imprimé double-face

vous évitez un circuit multicouches onéreux.



Obtenez ce circuit haute densité

Améliorez vos performances
Réduisez vos bruits parasites
Diminuez vos prix de revient.

Mektron-France

9, allée des Jachères - SOFILIC 416
94263 FRESNES Cedex
Téléphone : 668-10-25 - Télex : 260719



oe

NOUVEAUTÉS TECHNIQUES

Cette rubrique a exclusivement pour but l'information de nos lecteurs et aucune participation sous aucune forme n'est sollicitée ni acceptée pour sa réalisation.

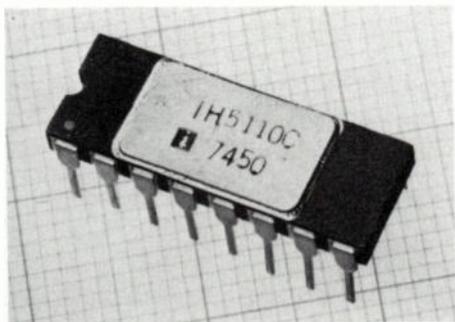
ÉCHANTILLONNEURS-BLOQUEURS

Intersil modèles IH 5112; 5113; 5114 et 5115

Intersil complète sa gamme d'échantillonneurs-bloqueurs de la famille 5110 en présentant 4 nouveaux dispositifs.

Chaque dispositif de cette famille constitue un échantillonneur-bloqueur complet si l'on excepte le condensateur d'échantillonnage qui est externe. Il contient les amplificateurs d'entrée et de sortie et les commutateurs MOS Complémentaires adéquats. Ces dispositifs fonctionnent sur une alimentation standard de ± 15 V et $+ 5$ V. La logique d'entrée est compatible avec la TTL.

La structure particulière de ces circuits (c'est le même amplificateur opérationnel qui est employé comme amplificateur d'entrée et de sortie) permet d'obtenir une amplification avec un gain unité très stable et un temps d'établissement très court.



Caractéristiques globales :

- tension de décalage : comprise entre 5 et 40 mV selon le type;
- tension d'entrée analogique : jusqu'à ± 10 V;
- commande compatible avec les logiques TTL, DTL et MOSC;
- décalage à l'entrée; réglable à moins de 100 μ V par potentiomètre extérieur;
- précision de l'échantillonnage : 0,1 % (10 V; C = 0,01 μ F)
- gamme de températures : $- 25$ à $+ 85$ °C;
- $- 55$ à $+ 125$ °C.
- présentation : boîtier DIL à 16 broches.

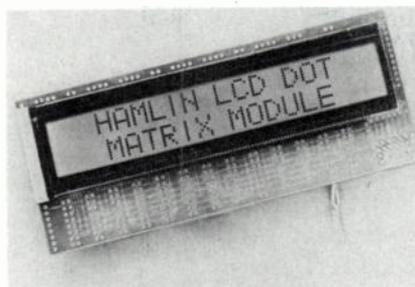
INTERSIL FRANCE, 3, rue de Marly, 78000 Versailles (tél. 953.47.08).

Service lecteur : inscrivez le n° 051.

DISPOSITIF D'AFFICHAGE ALPHANUMÉRIQUE

Hamlin modèle 3200

La firme américaine Hamlin Inc introduit sur le marché un dispositif d'affichage alphanumérique à cristal liquide, destiné à équiper les terminaux «point de vente», les unités de visualisation des microordinateurs, etc.



Chaque module visualise deux lignes de 16 caractères définis par une matrice de 5×7 points. Ce module incorpore également l'électronique de commande multiplexée.

Un circuit de compensation atténue les inconvénients liés au multiplexage des dispositifs à cristal liquide et améliore par là-même le contraste.

Le module 3200 peut être utilisé sur une plaque de température allant de 0 à 50 °C; il s'alimente sous une tension de 12 V avec un courant de 12 mA. L'angle de vue est de 10 et 40° de face et de ± 45 ° de côté. Le contraste est de 20 : 1.

HAMLIN ELECTRONICS (F), 3, centre des Dorées, 75019 Paris (tél. 202.53.17).

Service lecteur : inscrivez le n° 052.

CONVERTISSEUR TENSION-FRÉQUENCE

Raytheon modèle 4153

La division Semiconducteurs de Raytheon introduit un nouveau circuit intégré complexe destiné à la conversion tension-fréquence. Ce circuit portant la référence 4153 dispose de deux modes de fonctionnement. Le premier mode réalise la conversion simple tension-fréquence, le second transforme un signal analogique en un train d'impulsions proportionnel à l'entrée la conversion étant réalisée sur 12 bits.

Par rapport à ces prédécesseurs, le 4153 est caractérisé par une vitesse de fonctionnement élevée et une grande précision. Ce dispositif convient à nombre d'applications : modulateurs à largeur d'impulsions, générateurs d'impulsions programmables, convertisseurs-intégrateurs analogique-numérique, convertisseur de signaux, protection des signaux contre les perturbations, modulateur à manipulation de fréquence, contrôle de la vitesse de rotation des moteurs électriques.

Caractéristiques :

- gamme de fréquence : moins de 0,1 Hz à plus de 250 kHz;
- erreur de linéarité : 0,006 % de la pleine échelle (entre 1 et 10000 Hz);
- référence de tension incorporée : 7,3 V;
- tension moyenne d'alimentation : ± 15 V;
- courant maximal d'alimentation : 7 mA;
- présentation : boîtier DIL à 14 broches;
- gammes de températures : $- 55$ à $+ 125$ °C; $- 40$ à $+ 85$ °C et 0 à 70 °C

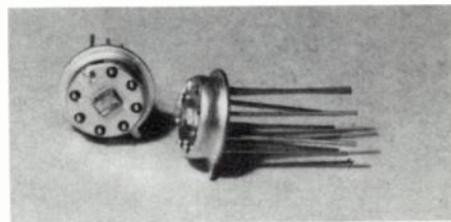
RAYTHEON SEMICONDUCTOR FRANCE La Boursidière, RN 186, 92350 Le Plessis Robinson (tél. 631.06.76).

Service lecteur : inscrivez le n° 053.

AMPLIFICATEUR OPÉRATIONNEL

Analog Devices modèle AD 542

Analog Devices annonce la sortie sous la référence AD 542 d'un nouvel amplificateur opérationnel à hautes performances et dont le prix est intéressant. Ce dispositif fait appel à la technologie BI-TEC, qui associe sur une même puce de semiconducteur des transistors à effet de champ (TEC) et des transistors bipolaires (BI). Le processus de fabrication utilise l'implantation ionique et la technique de réglage «laser sur tranche de silicium».



Notons par les caractéristiques les plus intéressantes :

- une tension de décalage comprise entre 0,5 mV et 1 mV selon les versions;
- une dérive en température du décalage comprise entre 5μ V/°C et 10μ V/°C selon les versions;
- un courant de polarisation de 15 pA;
- une tension de bruit de 2μ V_{càc};
- une réponse en fréquence de 1 MHz pour les petits signaux et de 50 kHz à pleine puissance;
- une vitesse de balayage de 3 V/ μ S;
- une impédance d'entrée de $10^{10} \Omega$ sur 2 pF avec entrées différentielles ou de $10M\Omega$ sur 2 pF avec des entrées unipolaires;
- un courant maximal de repos de 1,5 mA.

L'AD 542 est fourni après stabilisation thermique et existe selon 4 versions dont une destinée aux applications militaires.

ANALOG DEVICES FRANCE, Centre d'Affaires Silic, 12, rue Lecorbusier, Bât. Iena, 94533 Rungis cedex (tél. 686.77.70).

Service lecteur : inscrivez le n° 054.

RÉGULATEURS DE TENSION MONOLITHIQUES

MOTOROLA modèles LM 117, 217 et 317

Motorola Semiconducteurs introduit une nouvelle famille de régulateur de tension à trois broches destinés à l'usage général. Ces dispositifs délivrent une tension réglable variable de 1,2 à 37 V. Ils sont destinés à l'usage général.

Caractéristiques :

- tension de sortie réglée : réglable de 1,2 à 37 V;
- tension réglée : positive;
- courant maximal de sortie : 0,5 à 1,5 A selon les versions et les encapsulations;
- régulation en fonction de la tension d'entrée : 0,01 %/V;
- variation de la tension de sortie pour

MESUREUR de NIVEAU PMG 13



MESURES GENERALES EN BF OU MESURES SUR LES SYSTEMES DE TELEGRAPHIE HARMONIQUE

- Mesures sélectives de niveau 20 Hz à 20 kHz avec
7 largeurs de bande différentes.
- Mesures en large bande 20 Hz à 50 kHz,
filtre psophométrique en option.
- Version spéciale avec accord sur les voies de télégraphie harmonique.
- Générateur suiveur incorporé.

Autres exemples d'utilisation :

- Filtre suiveur (20 Hz à 20 kHz)
- Amplificateur large bande (20 Hz à 50 kHz)
- Fréquence-mètre (résolution 1 Hz ou 0,1 Hz commutable)



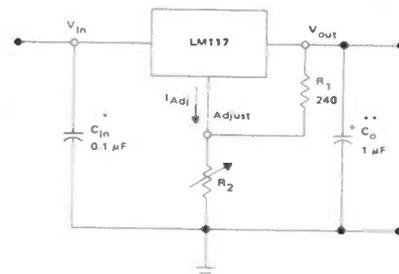
Wandel & Goltermann France

APPAREILS DE MESURES ELECTRONIQUES
SOGARIS 156 - 94 534 RUNGIS CEDEX
☎ 687.32.70 - Telex : 260006 W.et.G.F.

Service lecteur : inscrivez le n° 016

- une intensité de la charge variant de 10 mA
au courant maximal : 5 mV ;
- stabilité en fonction de la température :
0,7 % sur toute la gamme de température ;
- réjection du ronflement à 120 Hz :
65 dB ;
- présentation : boîtier métallique TO 39,
TO 3 ou boîtier plastique TO 220 ;
- gamme de température : – 55 à +150 °C ;
– 25 à + 150 °C ; et 0 à + 125 °C.

STANDARD APPLICATION



MOTOROLA SEMICONDUCTEURS FRAN-
CE, 15, avenue de Ségur, 75007 Paris
(tél. 550.50.61).

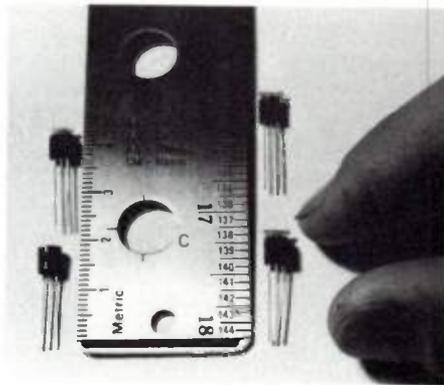
Service lecteur : inscrivez le n° 055.

TRANSISTORS HAUTE TENSION

Dionics modèles DTN 9000 et 9000 T

La firme américaine Dionics Inc, introduit une nouvelle série de transistors NPN permettant une tension de fonctionnement à 450 V.

Ces nouveaux transistors qui portent les références DTN 9000 et 9000 T, sont particulièrement destinés à être utilisés dans les circuits où une excursion en tension de 400 V ou plus est nécessaire tels les terminaux à écran cathodique, les dispositifs d'affichage à gaz, les imprimantes électrostatiques, les alimentations, etc...



Le DTN 9000 est livré en boîtier TO 92 ; le DTN 9000 T est équipé d'un radiateur de chaleur permettant une dissipation supérieure à 3 W. Le courant de collecteur peut dépasser 0,5 A et le courant de fuite de collecteur base est inférieur à 50 nA.

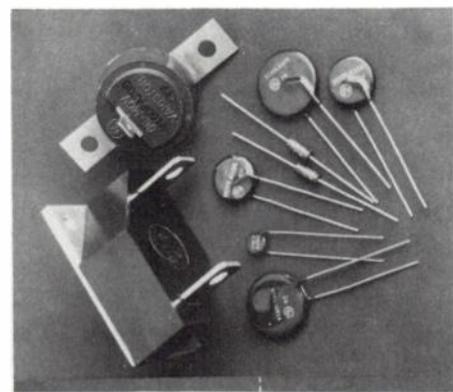
Notons enfin que la gamme de température de fonctionnement de ces transistors s'étend de – 55 à + 150 °C.

DIONICS (USA), Représentation en France :
14, rue Beaudin, 92000 Levallois-Perret
(tél. 757.59.81).

Service lecteur : inscrivez le n° 056.

VARISTANCES**General Electric série MOV II**

La firme américaine General Electric introduit une nouvelle série de varistance à l'oxyde de zinc présentant une meilleure tenue en courant crête et une plus grande absorption d'énergie par rapport à la précédente série qui portait la référence MOV. Ainsi pour le modèle V 250 LA 20 (250 V efficaces ou 330 V continus) l'énergie maximale admissible passe de 20 à 55 J, le courant de crête admissible de 1200 à 4000 A, la tension maximale d'écrêtage à 100 A de 1110 V à 680 V, et la tension maximale à 1 mA de 472 à 429 V. Notons que la nouvelle série a un encombrement identique ou inférieur par rapport à l'ancien modèle.



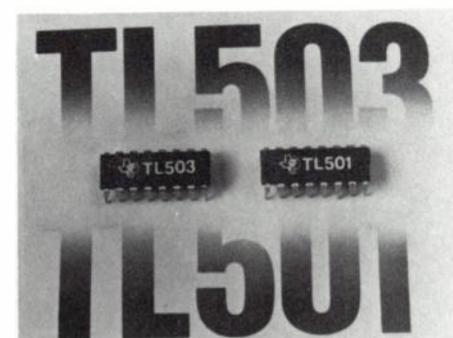
GENERAL ELECTRIC (USA), Représentation en France. CCI, 42, rue Étienne-Marcel, 75081 Paris Cedex 02 (tél. 261.55.49).

Service lecteur : inscrivez le n° 057.

**CONVERTISSEURS ANALOGIQUE-
NUMÉRIQUE****Texas Instruments modèle TL 501 et 503**

Texas Instruments annonce la sortie de deux circuits intégrés destinés à la réalisation simple et économique de convertisseurs analogique-numérique à grande précision. Référencés TL 501 et 503, ces deux dispositifs permettent en effet d'obtenir une conversion sur 2000 points (3 1/2 chiffres).

Le processeur analogique TL 501 comporte dans un même boîtier un amplificateur opérationnel, une référence en tension et un comparateur, c'est-à-dire tous les éléments nécessaires pour réaliser une conversion double rampe. Le TL 501 est caractérisé par une linéarité de 0,01 %, une impédance d'entrée de 1000 M Ω , un zéro et une polarité automatiques.



Les petites merveilles

Atténuateurs coaxiaux 8491 B - du continu à 18 GHz

- modèles à 3, 6, 10, 20, 30, 40, 50 et 60 dB
- excellent rapport prix/performance
- très bas TOS avec linéarité de phase supérieure dans le cas d'impulsions rapides et en large bande
- options APC-7, SMA, type N

Plus de 300 "petites merveilles" destinées aux mesures en hyperfréquences sont décrites dans un nouveau catalogue sur les guides et coaxiaux Hewlett-Packard. Vous pouvez obtenir votre exemplaire gratuitement en écrivant à l'adresse ci-dessous.

HEWLETT  PACKARD

Z.I. de Courtabœuf, B.P. 70, 91401 Orsay Cedex - Tél. 907 78.25

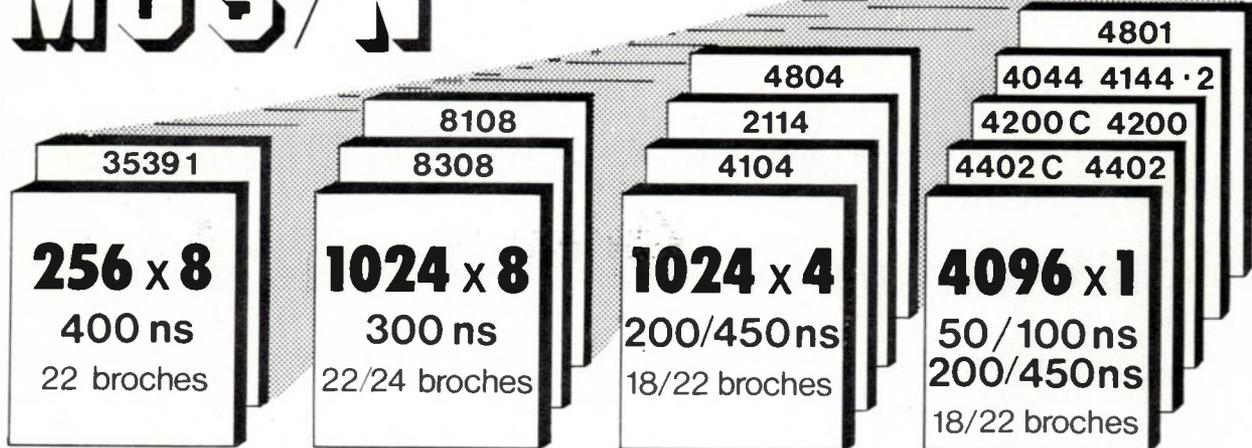


Service lecteur : inscrivez le n° 017

RAM STATIQUE

2K - 4K - 8K

MOS/N

almex

48, rue de l'Aubépine - Zone Industrielle
92160 ANTONY - Tél. : 666.21.12 - Télex : 250067 F

Service lecteur : inscrivez le n° 018

PANNEAUX SÉRIE V

aux dimensions européennes



- Equipé de contacts décollés très haute fiabilité en Be/Cu
- Panneaux simples : 100 x 160 mm avec un connecteur mâle 64 ou 96 points
- Panneaux doubles : 160 x 233 mm avec connecteurs mâles 64 ou 96 points
- Queues à WW dorées ou étamées
- Accessoires : rack, fond de panier, connecteur femelle à queues WW sorties droites

Rue des Champs-Lasniers
ALPHA 128 - LES ULIS
91440 BURES-S/ YVETTE
Tél. 907-11-02
Télex 692837

AUGAT

Distributeur
COPEL - DIXEL - MEGEX - APPLICATION ELECTRONIQUE - RHONALCO

L'ONDE ÉLECTRIQUE

Service Lecteur

Pour vous documenter sur les produits annoncés, les nouveautés techniques, les produits récents :

TÉLÉPHONEZ directement au fabricant ou son représentant si vous ne souhaitez qu'un simple renseignement.

ÉCRIVEZ directement au fabricant ou à son représentant si vous avez besoin d'un document officiel.

UTILISEZ LE SERVICE LECTEUR si vous désirez une documentation complète sur un ou plusieurs produits.

Dans chaque fascicule de l'Onde Électrique vous trouverez, en fin de volume, les cartes d'information mises à votre disposition.

Service lecteur : inscrivez le n° 019

16 bits



Les DAC - HP : 2 nouveaux convertisseurs numériques-analogiques 16 bits hybrides

Il s'agit d'une nouvelle série de DAC présentant une haute résolution ajoutée à une linéarité et une stabilité excellentes. Particulièrement recommandés pour les générateurs de rampe, les bancs de tests automatiques, et les commandes numériques de machines-outils, ils sont complets et comprennent la référence et l'ampli de sortie.

Deux modèles de base présentés sous boîtier 24 broches double DIP : le DAC - HP 16B : 16 bits bin. de résolution avec $\pm 0,003\%$ de linéarité et le DAC - HP 16D : 4 digits B.C.D. de résolution avec une linéarité de $\pm 0,005\%$.

Les codes d'entrée sont complémentés. La version bin. opère en unipolaire 0 + 10 V et bipolaire ± 10 V, alors que la version B.C.D. opère uniquement en unipolaire.

Coeff. de température du gain 15 ppm/°C ; 3 gammes sont proposées : 0 + 70 °C, - 25 °C + 85 °C, - 55 + 125 °C.

Carte-Informations cercele le n° 5.01

DATEL SYSTEMS Leader en technologie de conversion et d'acquisition de données fabrique : convertisseurs A-N,N-A Multiplexeurs - Echantillonneurs bloqueurs - Amplificateurs opérationnels - Alimentations modulaires - Convertisseurs DC-DC - Voltmètres de tableau - Imprimantes - Compteurs - Data loggers - Systèmes d'acquisition - Enregistreurs - Lecteurs de cassette.

Nos représentants : Rhône-Alpes, Comtec Tél. : (78) 486187 - Sud Ouest, SPELEC Tél. (61) 62.34.72

nouveaux instruments et systèmes

Le DM 3100-U2 : Un voltmètre de tableau miniature - alimentation secteur

Caractéristiques :

- Affichage : 3 1/2 digits L.C.D.
- 220 V ~ ou 9-15 V, 3 mA =
- Polarité et rattrapage d'offset automatiques.
- Fonctionnement en quotient-mètre.
- Adaptation possible pour atténuateurs, shunts, etc.
- Entrées différentielles isolées.
- Affichage en : mA, mV, k Ω , AC et DC.
- Prix : 343 F pour 100 pièces.



Carte-Informations cerclé le n° 5.02

La DPP-Q7 : Une mini-imprimante thermique à 7 colonnes totalement silencieuse.

Cette imprimante miniature (13,7 x 7,15 cm) encastrable, à tête thermique, peut imprimer 7 colonnes numériques sur données BCD jusqu'à la vitesse de 4 lignes/s. Elle est compatible avec les voltmètres de tableaux actuels tant par ses dimensions que par l'échange des données, les mêmes horloges et bus de données pouvant être utilisés.

Autres excellentes caractéristiques : son très faible poids (1,9 Kg) et sa simplicité mécanique ; 2 pièces mobiles seulement, un servomoteur continu et une came, sont utilisées pour l'avance du papier.

La DPP-Q7 accepte 6 lignes BCD parallèles (1-2-4-8) d'entrée (plus le signe). Compatible avec une logique TTL ou DTL permettant un enregistrement sans erreur des données. La donnée peut être présente seulement pendant 2 μ s, durée de la commande d'impression. Les caractères numériques se présentent dans un format de 7 segments de 4 mm (signe en option). Le papier thermique utilisé est un rouleau de 44,5 mm de largeur et de 45 m de longueur.



La tête thermique imprime à une température de 200 °C pendant 0,01 s et sa durée de vie est supérieure à 3 000 000 de lignes.

Chaque chiffre comporte à gauche un point décimal et il existe une suppression automatique des zéros.

D'autres formats d'impression sont disponibles, incluant les 2 chiffres de la voie, le signe et les 4 chiffres de la donnée.

La DPP-Q7 est proposée en 3 versions bi-tension 115/230 V~, 115 V~ ou 230 V~/40 W.

Carte-Informations cerclé le n° 5.03

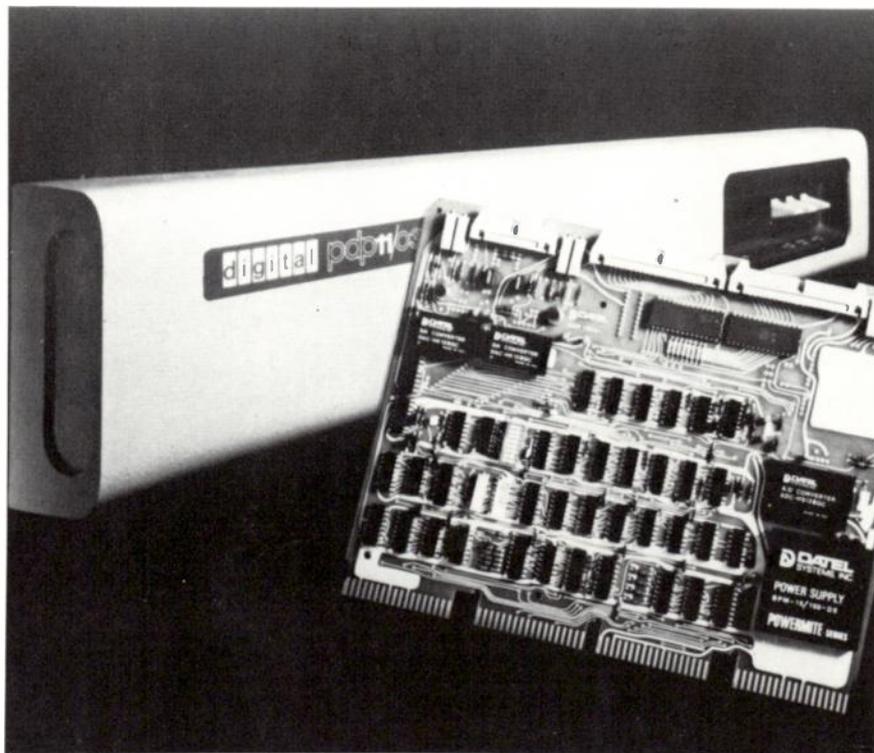
Les ST - LSI : Des cartes d'entrées/sorties à haute densité pour LSI-11

Leurs principales caractéristiques sont :

- 32 entrées et 2 sorties analogiques sur une même carte compatible DEC LSI-11 et PDP - 11/03.
- Extension jusqu'à 64 voies unifil. ou

32 voies différentielles avec 2 cartes.

- Vitesse d'acquisition : 20 μ sec.
- Gains programmables $\times 1 \times 2 \times 4 \times 8$.
- Programmes de test fournis sur bandes perforées.



Carte-Informations cerclé le n° 5.04

Le D.A.S. 256 : Système d'acquisition de données à hautes performances.

Le D.A.S. 256 est un système d'acquisition/distribution de données dont les principales caractéristiques sont :

- 256 voies unipolaires ou 128 différentielles.
- 64 échantillonneurs bloqueurs simultanés.
- 32 sorties analogiques.
- Interfaces avec PDP 11 et NOVA-ECLIPSE.

Il peut être utilisable comme extension de nos cartes d'acquisition compatibles minis et micros.

Demandez notre catalogue complet de 24 pages qui vient de paraître.



Carte-Informations cerclé le n° 5.05

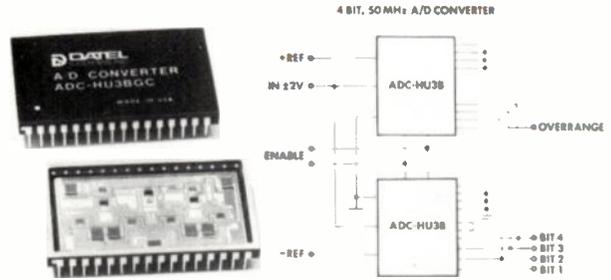
nouveaux circuits intégrés

L'ADC-HU3B : Un convertisseur "flash" A/N 3 bits - 50 MHz.

C'est le premier convertisseur A/N 3 bits - 20 ns réalisé en technologie hybride couche mince. Dans ce type de convertisseur A/N "flash" ou "parallèle", tous les bits sont convertis simultanément à la vitesse de 50 MHz mini. L'ADC-HU3B présente, de plus, l'avantage d'être cascadeable avec 2 ou plusieurs autres convertisseurs pour obtenir une meilleure résolution; par exemple: avec 2 ADC-HU3B, on peut obtenir une résolution de 4 bits, avec 4 ADC-HU3B, on obtiendra une résolution de 5 bits (toujours à 50 MHz).

Ce convertisseur utilise 8 comparateurs ultra-rapides associés à un réseau de résistances au Ni-Cr ajustées au laser permettant d'obtenir une linéarité de 0,2 % max. Ces comparateurs sont suivis par un circuit d'encodage en technologie ECL qui permet de transformer les 8 états en un mot de 3 bits bin. Une référence externe est requise pour alimenter le réseau de résistances et, en fonction de sa valeur, les gammes de tensions d'entrées suivantes peuvent être obtenues: 0 + 2,1 V - 0 - 2,1 V ou $\pm 2,1$ V.

Autres caractéristiques: coeff. de température: 25 ppm/°C de la pleine échelle. Présentation en boîtier céramique DIP - 32 broches. Des versions - 25 + 85 °C et - 55 + 100 °C sont également disponibles.



Carte-Informations cercliez le n° 5.06

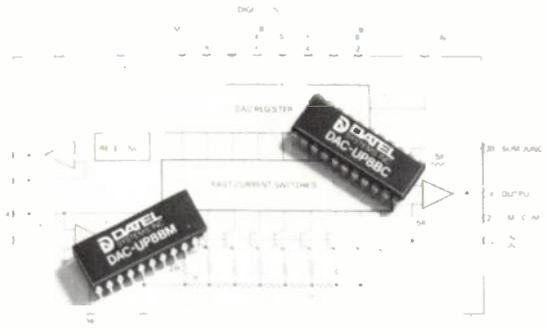
Le DAC-UP8B : Un nouveau DAC 8 bits comprenant : registre d'entrée, référence interne et ampli de sortie.

Dans un grand nombre d'applications, les convertisseurs DA nécessitent l'emploi d'un registre extérieur pour stocker la donnée avant de la transférer sur le DAC. Notre nouveau DAC-UP8B est particulièrement adapté pour ces applications et plus spécialement dans les cas d'utilisation avec microprocesseurs. Il contient, outre son propre registre d'entrée, une référence interne et un ampli de sortie, 8 commutateurs de courant combinés à un réseau R2R diffusé.

Le point de sommation attaque l'ampli de sortie présentant un temps d'établissement de 2 μ s au 1/2 LSB. Une sortie 0 + 10 V ou ± 5 V peut être obtenue par des connections appropriées. Quand la commande "load" du registre est à zéro, celui-ci apparaît comme transparent et tout changement d'état de l'entrée numérique se traduit par une variation de la sortie analogique.

Si la commande "load" est à un niveau 1, la donnée digitale est retenue dans le registre et la sortie du DAC est constante.

Autres caractéristiques: Alimentation ± 15 V =; présentation sous boîtier DIP-22 broches en 2 versions: 0 + 70 °C et - 55 + 125 °C; prix 100 F de 1 à 24 pièces.



Carte-Informations cercliez le n° 5.07

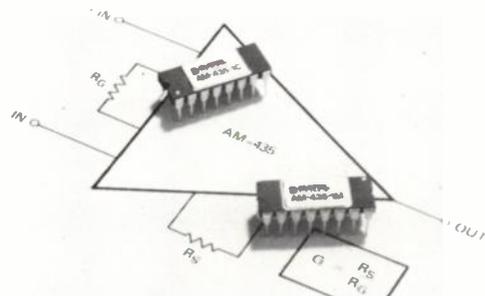
L'AM 435 : Un ampli d'instrumentation monolithique.

De nombreux systèmes d'acquisition de données nécessitent l'amplification des signaux issus de capteurs tels que: thermocouples, jauges de contraintes, etc., afin d'amener le signal à un niveau compatible avec le multiplexage et la conversion sous forme numérique. L'AM 435 est un ampli d'instrumentation qui répond à cette application. Il amplifie le signal différentiel d'entrée en rejetant le bruit du mode commun.

Impédance d'entrée: $2 \cdot 10^{12} \Omega$. Gains de 1 à 1 000 programmables par simple résistance externe. Taux de réjection: 105 dB. Courant d'entrée: 40 pA. Dérive de tension d'offset: 10 μ V/°C. La non linéarité est de 0,1 % et le coefficient de température du gain est de 3 ppm/°C. Alimentation: ± 5 V à ± 20 V à 1,5 mA seulement.

Les offsets d'entrée et de sortie peuvent être ramenés à zéro par des potentiomètres externes.

Présentation en boîtier DIP-16 broches en 2 versions: 0 + 70 °C ou - 55 + 125 °C.



Carte-Informations cercliez le n° 5.08

CARTE-INFORMATIONS
à retourner affranchie à

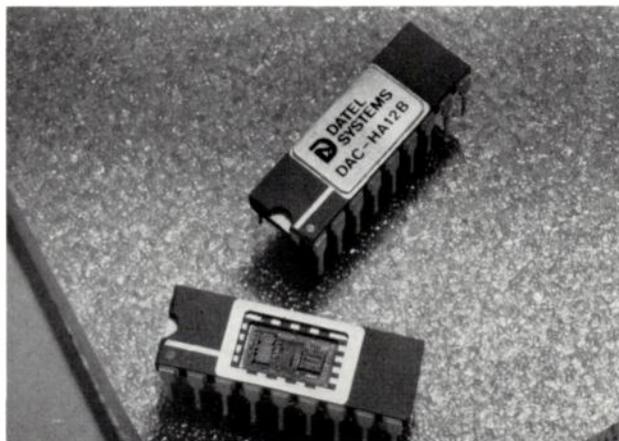
DATEL
SYSTEMS

11 avenue Ferdinand-Buisson
75016 PARIS

nouveaux circuits intégrés

Les DAC-HA 12B et HA 12D : Des multiplieurs N/A 12 bits ultra-rapides

Ces nouveaux multiplieurs référencés DAC-HA 12B (12 bits binaires) ou HA 12D (3 digits BCD) possèdent des caractéristiques plus attractives que leurs équivalents intégrés. Ce sont des convertisseurs fabriqués en technologie hybride couche mince contenant 2 chips de commutation CMOS ajustés au laser, sur substrat de verre à faible capacité. La bande passante de la référence est de 20 MHz. La résistance d'entrée du réseau est de $10\text{ k}\Omega \pm 30\%$. Le réseau de résistance inclut une résistance de contre réaction pour ampli extérieur. Le DAC-HA 12B peut multiplier sur 1,2 ou 4 quadrants et le HA 12D sur 1 ou 2. Temps d'établissement en sortie : $5\text{ }\mu\text{s}$ au 1/2 LSB. Tension de référence : $\pm 12\text{ V}$. Les entrées logiques sont compatibles TTL, DTL ou CMOS. Ils sont tous les deux fournis en 2 versions d'alimentation : $+ 5\text{ V}/1\text{ }\mu\text{A}$ ou $+ 15\text{ V}/1,4\text{ mA}$. Présentation en boîtier céramique étanche DIP-18 broches. Gammes de températures : $0 + 70^\circ\text{C}$, $- 25 + 85^\circ\text{C}$, $- 55 + 125^\circ\text{C}$.



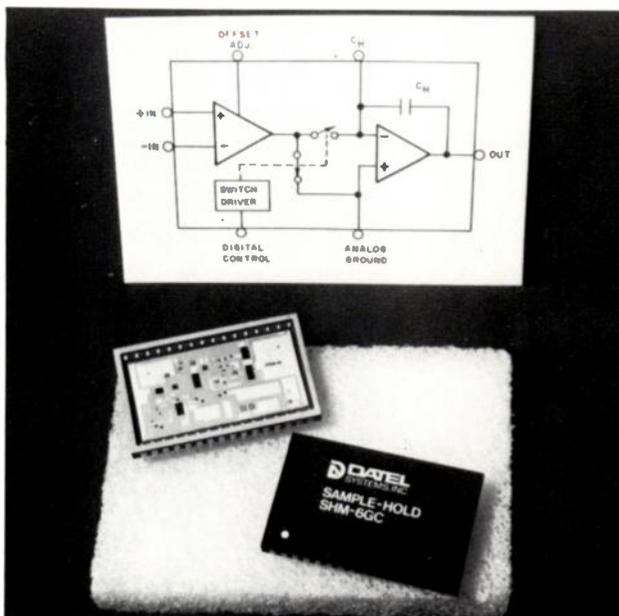
Carte-Informations cerclé le n° 5.09

Le SHM-6 : Un échantillonneur bloqueur hybride de hautes performances : $1\text{ }\mu\text{s}$ à $0,01\%$.

Ce nouveau circuit est recommandé pour l'utilisation des convertisseurs A/N de 12 bits de résolution. Fabriqué en technologie couche mince, le SHM6 présente un temps d'acquisition de $1\text{ }\mu\text{s}$ avec une précision de $0,01\%$ (1/2 bit d'un convertisseur A/N de 12 bits). L'ampli d'entrée n'étant pas bouclé intérieurement, on peut obtenir des gains de $+ \text{ou} - 1$ jusqu'à $+ \text{ou} - 10$. Il utilise un ampli à transconductance pour charger la capacité-mémoire interne de 400 pF . La fuite en mode mémoire est de $10\text{ }\mu\text{V}/\mu\text{s}$; pour des applications plus lentes, cette fuite peut être diminuée par l'adjonction d'une capacité externe. Deux interrupteurs dirigent la sortie courant de l'étage transconducteur vers la capacité-mémoire (mode sample), ou vers la masse (mode hold). Ce dispositif permet d'obtenir une diaphonie très faible : $0,01\%$ max. Gain de boucle de l'ampli d'entrée : 10^6 pour une impédance de $10^8\text{ }\Omega$. Réjection de mode commun : 74 dB mini.

La tension d'offset est réglée au laser pour obtenir $\pm 5\text{ mV}$ maxi. L'ampli de sortie $\pm 10\text{ V}/\pm 50\text{ mA}$ à une vitesse de $40\text{ V}/\mu\text{s}$. Bande passante : 5 MHz ; temps d'ouverture : 20 ns , avec une incertitude de 2 ns seulement.

Présentation sous boîtier DIP - 32 broches; alimentation $\pm 15\text{ V}$ et $+ 5\text{ V}$. 3 versions : $0 + 70^\circ\text{C}$, $- 25 + 85^\circ\text{C}$, $- 55 + 100^\circ\text{C}$.



Carte-Informations cerclé le n° 5.10

OE5

M Fonction

Entreprise Service

Adresse

Ville Code postal Tél. poste

Souhaite sans engagement, ni frais,

Recevoir le catalogue Datel 1978

Recevoir une documentation plus complète sur les produits-numéros suivants :

n° 5.01 n° 5.02 n° 5.03 n° 5.04 n° 5.05 n° 5.06 n° 5.07 n° 5.08 n° 5.09 n° 5.10

Recevoir régulièrement Datel Systems Informations (abonnement gratuit)

Avoir la visite d'un ingénieur Datel pour le problème suivant :

Texas Instruments s'apprête, par ailleurs, à introduire sous la référence TL 500 un dispositif analogue réalisant la conversion sur 20 000 points ($4 \frac{1}{2}$ chiffres) et présentant une linéarité de 0,001 %.

Le contrôleur de logique TL 503 comporte dans le même boîtier un oscillateur qui peut être directement commandé par une source extérieure délivrant des signaux en logique TTL, ou relié à une capacité extérieure de 470 pF pour réaliser une horloge interne. Le TL 503 dispose de 5 sorties multiplexées et de 4 sorties en BCD.

Le TL 501 est présenté en boîtier DIL plastique à 18 broches, le TL 503 en boîtier à 16 broches. Ils fonctionnent tous deux dans la gamme de température de 0 à 70 °C.

TEXAS INSTRUMENTS FRANCE, La Boursidière, Bât. 1, RN 186, 92350 Le Plessis Robinson (tél. 630.23.43).

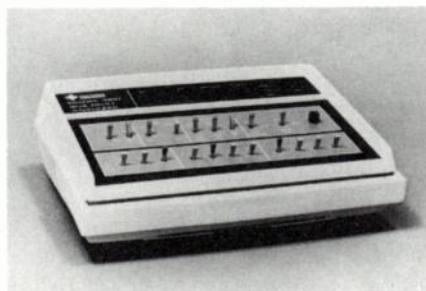
Service lecteur : inscrivez le n° 058.

APPAREIL POUR LE TEST DES LIGNES IEEE 488

ISC modèle 4810

La firme américaine ISC Electronic Corporation introduit sur le marché un appareil destiné au test des lignes Bus au standard IEEE 488.

Le 4810 est un instrument portable destiné à la mise au point, à la mise en service ou à la maintenance d'équipements faisant appel à une ligne bus IEEE 488.



Cet appareil permet une analyse visuelle de l'état du bus, il comporte un affichage en hexadécimal et dispose d'une mémoire interne destinée à enregistrer, à envoyer sur le bus ou à rappeler jusqu'à 100 mots de données. Il peut également commander manuellement le bus étudié.

Le 4810 se branche sur le bus comme un instrument qui est normalement connecté. Les sorties peuvent supporter la charge de 14 autres instruments.

Le taux de transmission comporte trois positions 500 K octets/s (rapide); 2 K octets (lent) et pas à pas ou horloge externe (jusqu'à 2 MHz).

Le 4810 se présente sous la forme d'un coffret de 29 x 23 x 11 cm et son poids est de 2,5 kg. Il est fourni avec un câble compatible avec la norme IEEE 488.

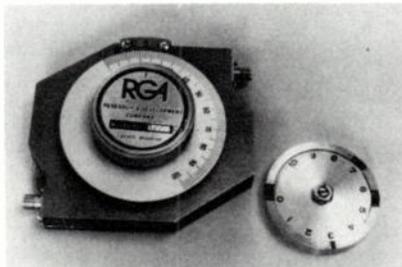
ISC Electronic Corporation (USA). Représentation en France : Yrel : ZI, rue de Fourny, BP 40, 78530 BUC (tél. 956.81.42).

Service lecteur : inscrivez le n° 059.

DEPHASEURS ET ATTÉNUATEURS HYPERFRÉQUENCE

RGA

La firme américaine RGA annonce la sortie de nouveaux modèles de déphaseurs et d'atténuateurs à variation de phase, miniatures et incorporables sur des circuits «stripline».



Ces dispositifs couvrent la gamme de fréquence allant de 1 à 36 GHz.

Les déphaseurs existent en deux versions assurant des déphasages allant de 0 à 180° ou de 0 à 360° avec une résolution de 0,5°.

Les atténuateurs sont proposés selon des versions présentant une dynamique de 15; 25 ou de 40 dB avec une résolution de 0,1 dB et une variation maximale de phase de 0,3°/dB.

Ces deux dispositifs présentent une perte d'insertion de 0,5 dB et un TOS maximal de 1,5. La gamme de température s'étend de -25 à +150 °C.

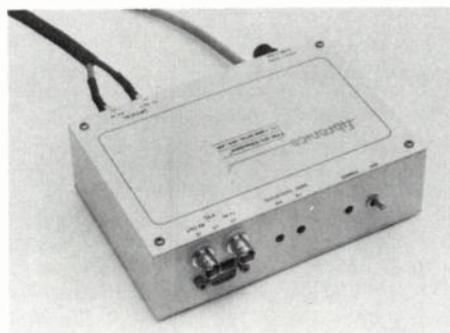
RGA (USA), Représentation en France : SCIE DIMES, BP 33, 91122 Palaiseau (tél. 014.38.65).

Service lecteur : inscrivez le n° 060.

LIAISONS PAR FIBRES OPTIQUES

Fibronics modèles TTH et TTK

La firme israélienne Fibronics Ltd présente deux ensembles de liaison par fibres optiques destinées à la transmission de données. Le modèle TTK permet d'établir des liaisons sur une distance de 1 km avec un débit de 10 Mbits/s; le modèle TTH des liaisons sur 100 m avec un débit de 3 M bits/s.



Les deux modèles de liaison fonctionnent entièrement en duplex. Chaque liaison comprend deux boîtiers émetteur-récepteur, munis chacun d'une alimentation secteur autonome et le câble optique. Les informations sont disponibles ou appliquées en TTL

sur des connecteurs BNC. Des liaisons plus longues peuvent être réalisées simplement en utilisant comme répéteur un boîtier d'émission-réception sur lequel on a shunté l'entrée sur la sortie des données.

Ces liaisons permettent à l'utilisateur de s'affranchir des problèmes de transmission d'information en ambiance électromagnétique défavorable. Elles conviennent aux applications civiles et militaires.

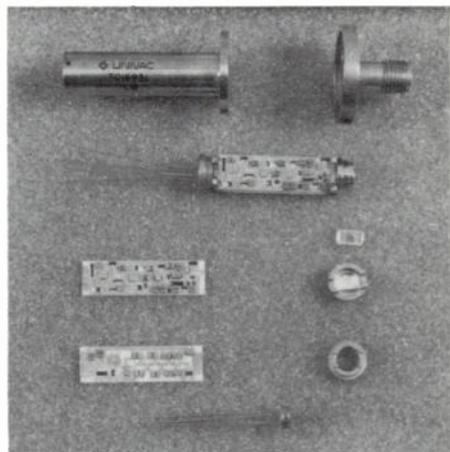
FIBRONICS LTD, Science Based Industries Center, Technion City, Haifa 32000 (Israël II)

Service lecteur : inscrivez le n° 061.

BOITIERS D'ÉMISSION-RÉCEPTION POUR LIAISONS PAR FIBRES OPTIQUES

Sperry Univac série PIN 7016900

Sperry Univac Defense Systems a développé pour le compte de la Marine des États-Unis une famille de boîtiers d'émission-réception destinés aux transmissions numériques par fibres optiques. Ces dispositifs font partie de ce qu'il est convenu d'appeler la seconde génération de systèmes car ils sont réalisés en technologie hybride et leurs dimensions sont très réduites. Ces boîtiers permettent selon les modèles des transmissions à des débits allant de 6 bits/s à 30 M bits/s. Il est à noter que les boîtiers d'émission et ceux de réception sont physiquement séparés.



Caractéristiques d'un émetteur et d'un récepteur permettant des liaisons à 30 M bits/s en code NRZ ou à 15 M bits/s en code Manchester.

Émetteur (référence : PIN 7016940)

- présentation : boîtier plat (Flat Pack);
- puissance optique d'émission (diamètre d'ouverture : 0,05");

- totale : 1 mW;
- sur un cône de 35°30" : 0,75 mV;

- spectre d'émission :

- longueur d'onde : 915 nm;
- largeur à mi-hauteur : 30 nm;

- largeur minimale de l'impulsion : 25 ns;
- largeur maximale de l'impulsion : constante;

- temps de montée/descente optique : 7 ns;

- distorsion maximale d'impulsion : ± 2 ns;

- ouverture physique : 0,05";

- entrée : TTL (entrance : 1);

- alimentation : 5 V ± 5 % sous 120 mA;

QUOI DE NEUF

?

**nouvel
échantillonneur bloqueur
vidéo
type 4858**



- Temps acquisition
 - 75 ns à 0,2 % pour 2 Volts de pas.
 - 100 ns à 0,05 % pour 2 Volts de pas.
 - 150 ns à 0,01 % pour 5 Volts de pas.
- Délai ouverture: 80 PS
- Spécifications garanties:
 - de -25°C à +85°C
- Boîtier métallique
- APPLICATIONS:
 - Système d'acquisition des données ultra rapide
 - Numérisation de signal vidéo
 - Enregistrement de transitoires large bande

Le 4858 est la suite logique du 4855, 250 ns de temps d'acquisition



**TELEDYNE
PHILBRICK**

4, rue des Bergers
75015 Paris
Tél. : (1) 577.95.86
Télex : (842) 200731

Récepteur optique (référence : P/N 7016931)

- présentation : boîtier cylindrique;
- largeur minimale de l'impulsion : 33 ns;
- temps de montée/descente optique : 12 ns;
- distorsion maximale d'impulsion : ± 7 ns;
- figure : ± 3 ns;
- gamme de puissance d'entrée : 1-300 W;
- bruit équivalent rapporté à l'entrée : $0,14 \mu\text{W}$;
- ouverture physique : 0,065";
- sortie : TTL (sortance : 16);
- alimentation : + 5 V 5 % (60 mA) et - 5 V 5 % (20 mA).

SPERRY UNIVAC DEFENSE SYSTEMS,
Univac Park, PO Box 3525, St-Paul, MN
55165 (USA).

Service lecteur : inscrivez le n° 062.

ALIMENTATION POUR MONTAGE EN BAIE

Oltronix série RAPAC

La firme suisse Oltronix introduit une nouvelle série d'alimentations dotées d'un voltmètre-ampèremètre numérique et comportant à l'heure actuelle six modèles délivrant des tensions réglables entre 0 et 32 V ou entre 0 et 60 V sous des puissances de 300, 600 ou 1 000 W. L'ajustage de la tension de sortie s'effectue au moyen d'un potentiomètre à 10 tours muni d'un indicateur numérique mécanique. Le voltmètre ampèremètre a une capacité de 4 chiffres et une précision de 0,05 %. Le réglage de la limite en courant s'effectue à l'aide d'un potentiomètre à 1 tour. Cet appareil dispose également d'une protection contre les surtensions ajustable de manière continue qui peut être également déclenchée.



Un rendement élevé est obtenu grâce à l'utilisation d'un pré-régulateur à thyristors. Ces alimentations de faible poids et d'encombrement réduit sont prévues pour le montage en baie de 19" ou comme alimentation sur table. Le fonctionnement en source de courant ou en source de tension fait appel à des circuits à hautes performances. Les deux modes de fonctionnement sont indiqués par des diodes électroluminescentes. Notons enfin que les RAPAC peuvent être télécommandés ou programmés à distance.

OLTRONIX (CH), Représentation en France :
Metalarc, B.P. 17, 93801 Épinay-sur-Seine
(tél. 821.63.44).

Service lecteur : inscrivez le n° 063.

APPAREIL DE TEST POUR CIRCUITS INTÉGRÉS COMPLEXES

Megatest modèle Q 8000

Le coût des systèmes de test pour les circuits intégrés augmente avec la complexité des circuits à tester et dépend également de la méthode de test employée. La firme américaine Megatest propose sous la référence Q 8000 un appareil de test qui utilise le principe de la comparaison en temps réel des caractéristiques entre un élément de référence et l'élément à tester, méthode qui s'avère être économique. Dans ce système, la séquence de test est mémorisée sur un module appelé FDM (Functional Data Module). Cette configuration permet d'effectuer des tests en temps réel sans faire appel à un support magnétique, ce qui augmente la rapidité et la fiabilité du test. Il est ainsi possible d'effectuer un test d'un million de configurations sur un microprocesseur Intel 8080 A en trois secondes.



Cet appareil est universel, il suffit simplement de changer de module FDM pour changer de type de circuit à tester.

Le Q 8000 peut être couplé à une console de visualisation avec clavier permettant de modifier instantanément les paramètres de test et d'afficher des statistiques sur les tests effectués. Il est également possible d'associer l'appareil avec un manipulateur.

Enfin, l'utilisateur peut à tout moment développer un programme spécifique sur une carte FDM à l'aide d'un langage propre au Megatest Q 8000.

MEGATEST (USA), Représentation en France : Tekelec Airtronic, B.P. 2, 92310 Sèvres (tél. 027.75.35).

Service lecteur : inscrivez le n° 064.

PONT AUTOMATIQUE R L C

Wayne Kerr modèle B 424

La firme américaine Wayne Kerr présente sous la référence B 424, un pont de mesure R L C qui peut être associé au manipulateur-comparateur CA4 de la même marque afin de réaliser un trieur de composant à un prix intéressant.

Les limites inférieures et supérieures sont affichées sur comparateur et des voyants indiquent le dépassement des tolérances. Cet ensemble peut traiter jusqu'à 1 000 composants à l'heure et accepte aussi bien des composants radiaux et axiaux.



Ce pont possède un circuit de protection contre les condensateurs chargés jusqu'à 2500 et 50 V au delà de 2 μ F.

Une polarisation interne de 2 V et externe jusqu'à 50 V simplifie tous les problèmes de polarisation des condensateurs électrochimiques.

Les gammes à pleine échelle s'étendent de 200 pF à 20 mF pour les condensateurs, de 200 μ H à 2 kH pour les inductances et de 20 Ω à 20 MΩ pour les résistances.

WAYNE KERR (USA), Représentation en France. Tekelec Airtronic, B.P. 2, 92310 Sèvres (tél. 027.75.35).

Service lecteur : inscrivez le n° 065.

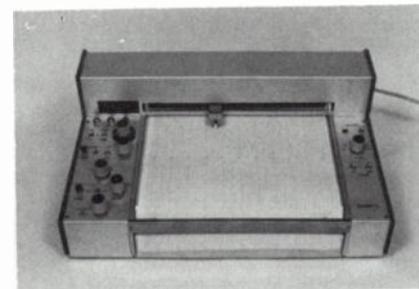
ENREGISTREURS GRAPHIQUES

Quanta

La société française Quanta propose une gamme d'enregistreurs graphiques comprenant 15 modèles différents.

Ces appareils sont construits autour d'une ossature rigide sur laquelle on peut adapter 1, 2 plumes; 1 plume plus une lecture numérique; 2 plumes plus une lecture numérique.

Les vitesses de défilement vont de 0,01 à 20 cm/mn.



Les servopotentiomètres utilisés sont des dispositifs à film plastique étanches analogues à ceux qui sont utilisés par la Marine Nationale.

Les tables peuvent être équipées d'un affichage numérique sur 4 chiffres avec une sortie pour une unité imprimante.

Ces appareils modulaires peuvent être fournis en version constructeur.

QUANTA, Avenue de Villeneuve, 83600 Fréjus (tél. (94) 95.60.65).

Service lecteur : inscrivez le n° 066.

INDICATEUR NUMÉRIQUE DE TABLEAU Neuburger modèle FDI 3,5/96

La firme d'Allemagne Fédérale présente un indicateur de tableau à 2000 points destinés à l'usage général et caractérisé par une grande robustesse.

64K

**La RAM TMS 4164 :
L'innovation
qui vous fait progresser.**

La nouvelle mémoire dynamique de Texas Instruments constitue un événement industriel par l'accroissement de la densité d'intégration : 65356 bits dans un boîtier standard à 16 broches.

C'est un exploit technologique : sa réalisation fait appel à des matériels à la pointe du progrès industriel : faisceaux d'électrons, masquage par projection, etc...

Les performances de la mémoire TMS 4164 sont à la mesure de l'événement :

- Alimentation unique de 5 volts.
- Temps d'accès inférieur à 150 nanosecondes.
- Temps de cycle inférieur à 250 nanosecondes.
- Consommation moyenne de 125 milliwatts : moins de 3 microwatts par bit (valeur maximale).
- Rafraîchissement en 256 cycles avec une période de 4 millisecondes.
- Sorties en logique trois états.
- Brochage entièrement compatible avec celui de la RAM 16K TMS 4116.

Pour obtenir de plus amples informations s'adresser à l'un des bureaux Texas Instruments.



**TEXAS INSTRUMENTS
FRANCE**

BUREAUX TEXAS INSTRUMENTS (FRANCE)

- La Boursidière, Bât. A, RN186
92350 Le Plessis Robinson - Tél. (1) 630 23 43
- B.P.5 - 06270 Villeneuve Loubet - Tél. (93) 20 01 01
- 31, Quai Rambaud - 69002 Lyon - Tél. (78) 37 35 85
- 9, Place de Bretagne - 35000 Rennes - Tél. (99) 79 54 81
- 100, Allée de Barcelone - 31000 Toulouse - Tél. (61) 21 30 32
- 1, Av. de la Chartreuse - 38240 Meylan - Tél. (76) 90 45 74
- Pl. des Halles - 67000 Strasbourg - Tél. (88) 32 35 48/32 14 64

COUPON REPONSE à retourner à :
TEXAS INSTRUMENTS - B.P. 5 - 06270 Villeneuve-Loubet
Je désire recevoir la documentation sur les mémoires 4K.

Nom

Société

Adresse

.....

Service lecteur : inscrivez le n° 021

INTERFACES UNIVERSELS A/N N/A 12 BITS MICRO NETWORKS CORPORATION

PLUS DE PROBLÈMES DE SOFT OU HARD !

MN 5500 12 bits C A/N

- Entrée analogique multigammes
- Rapide : 25 μ s
- 40 broches DILP

MICROPROCESSEUR 8 BITS

SBC 80 - 20, 8080, 8085, 8048, 6500, 6800, Z 80...

MN 3500 12 bits C N/A

- Sortie tension multigammes
- Rapide : 3 μ s
- 32 broches DILP

ALIMENTEZ VOS CIRCUITS
AVEC NOS ALIMENTATIONS
ET CONVERTISSEURS
MODULAIRES

MICROEL

Avenue des Champs-Lasniers
«ALPHA 128»

91440 LES ULIS

Tél. : 907.08.24 Télex 692493 F

Caractéristiques :

- capacité : 2 000 points;
- calibres :
 - 2 V à pleine échelle avec une résolution de 1 mV;
 - 200 V à pleine échelle avec une résolution de 100 mV;
- erreur : $< 0,05 \% \pm 1$ digit;
- impédance d'entrée $> 1 \text{ G } \Omega$;
- erreur de zéro : $\pm 0,5$ digit;
- cadence de mesure : 4 mesures/s;
- dépassement : indicateur par clignotement des chiffres;
- réjection en mode série : 40 dB;
- protection : $\pm 350 \text{ V}$;
- dimensions de la face avant : 48 x 96 mm (norme DIN);
- poids : 350 grs.



NEUBERGER FRANCE, 26, rue Sevin,
94800 Villejuif (tél. 678.63.40).

Service lecteur : inscrivez le n° 067.

MULTIMÈTRE CALCULATEUR NUMÉRIQUE

ESI modèle 4100

La firme américaine Electro Scientific Industries Inc introduit sous la référence 4100, un appareil de mesure et de calcul particulièrement original. Le 4100 associe étroitement deux appareils : un multimètre et un calculateur. Il devient ainsi possible d'introduire des facteurs d'échelle et de décalage ($ax + b$) sur les grandeurs mesurées, de déterminer automatiquement les extremum de mesures, d'effectuer des mesures directement en dB, d'afficher des décalages en % ou d'effectuer des dépannages.



Le 4100 peut également être relié à une unité imprimante. Le clavier de cet instrument comporte 11 touches spéciales affectées aux conversions. Le multimètre proprement

dit, a une capacité de 3 1/2 chiffres, et comporte un zéro, un changement de gamme et une polarité automatique. Les valeurs mesurées ou calculées peuvent être affichées selon trois formats : notation scientifique, notation exponentielle, notation décimale fixe. Le multimètre dispose de six gammes et permet d'effectuer les mesures suivantes :

- tensions continues : 10 μ V à 1000 V;
- tensions alternatives : 10 μ V à 750 V;
- courants continus : 10 μ A à 200 mA (20 A avec shunt extérieur);
- résistances : 0,1 Ω à 20 M Ω .

Cet appareil tient dans une main et fonctionne avec une simple pile de 9 V qui lui confère une très grande autonomie. Le dispositif d'affichage est à cristal liquide.

ELECTRO SCIENTIFIC INDUSTRIES INC,
13900 NW Science Park Drive, Portland,
Oregon 97229 (USA).

Service lecteur : inscrivez le n° 068.

GÉNÉRATEUR DE FONCTIONS ARBITRAIRES

Wavetek modèle 175

La firme américaine Wavetek introduit un nouveau générateur de fonctions présentant la particularité de produire des signaux dont la forme est entièrement déterminée par l'utilisateur. En effet, l'appareil comporte une mémoire numérique dont la capacité nominale est de 256 x 225 points et qui est utilisée pour emmagasiner la forme d'onde souhaitée à partir d'un clavier. L'onde arbitraire ainsi mémorisée est produite avec une fréquence de répétition réglable. Il est possible d'ajouter trois blocs de mémoire morte ou vive afin de stocker d'autres formes d'ondes et de reproduire ces diverses formes d'ondes en les associant. L'appareil dispose d'un interface au standard IEEE 488, ce qui permet d'insérer le modèle 175 dans un système de mesure. Le générateur convient à une gamme étendue d'applications : études biologiques et médicales, études et tests de matériaux, études physiques, etc...



Caractéristiques générales :

- formes d'ondes standard contenues dans l'appareil : sinusoïde, rectangle, triangle et rampe;
- définitions des formes d'ondes arbitraires : 256 x 255 points en version standard;
- interpolation commutable;
- sortie synchronisation;
- curseur réglable;
- modes de fonctionnement :

- continu;
- déclenché;
- rafale;

- gamme de fréquence de répétition : 3,90 μ Hz-19,5 kHz;

Service lecteur : inscrivez le n° 022

- horloge interne à 10 MHz (prise pour horloge externe);
- amplitude du signal : 2 mV à 20 V en circuit ouvert ou jusqu'à 10 V sur une charge de 50 Ω ;
- affichage de tous les paramètres ;
- interface au standard IEEE 488 ;
- extension de la mémoire : jusqu'à 3 blocs de mémoire morte ou vive de 256 x 255 points de définition.

NAVETEK (USA), Représentation en France : Elexo, 8, rue Sainte-Lucie, 75015 Paris (tél. 577.95.70).

Service lecteur : inscrivez le n° 069.

MULTIMÈTRES NUMÉRIQUES

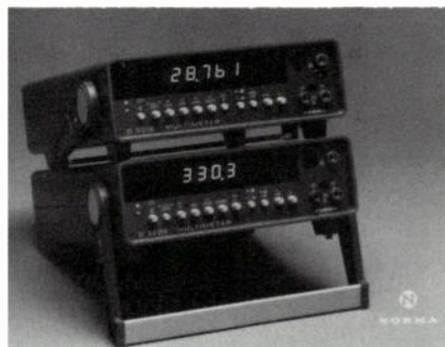
Norma série D 3000

La firme autrichienne Norma Messtechnik introduit sous la référence D 3000, une nouvelle série de multimètres numériques qui ont en commun les caractéristiques suivantes: polarité et zéro automatique, point décimal automatique, protection contre les surcharges, sortie BCD en option, alimentation secteur ou par accumulateurs.

La série D 3000 comprend à l'heure actuelle 2 modèles le 3232 et le 3012.

Le 3232 est un modèle à 3 1/2 chiffres qui comprend 28 calibres. Il permet les mesures des tensions continues et alternatives jusqu'à 2000 V; des courants alternatifs et continus jusqu'à 2 ou 20 A; des résistances jusqu'à 20 M Ω . Sa précision est de 0,1 % et il effectue les mesures alternatives efficaces vraies.

Le 3012 est un modèle à 4 1/2 chiffres avec 28 calibres. Il permet d'effectuer des mesures de tensions continues et alternatives jusqu'à 2000 V, des courants alternatifs et continus jusqu'à 2,5 A et des résistances jusqu'à 25 M Ω . Sa précision est de 0,02 %. Il est plus particulièrement destiné au laboratoire d'études ou de développement.



Norma propose de nombreux accessoires avec ces appareils, sonde permettant de geler la mesure (sonde «Hold»), sondes haute tension, sonde haute fréquence, etc... La sonde «Hold» facilite les mesures lorsque l'accessibilité est difficile et permet à l'utilisateur de n'avoir pas à surveiller visuellement et simultanément la position de la sonde et l'appareil.

NORMA MESSTECHNIK GMBH, A - 1111 Wien, Postfach 88, Fickeysstrasse 1-11 (Autriche).

Service lecteur : inscrivez le n° 070.

4K

Nous avons la maîtrise technologique
Nos distributeurs livrent sans délai
Qui peut en dire autant ?

Quand on est leader sur un marché, il faut être le premier sur le plan technologique.

Exemple : la RAM 64K et la mémoire à bulles de 256K.

En mémoires, ce n'est pas suffisant.

Surtout en RAM statiques de 4K bits. Il faut savoir livrer vite, et à un prix compétitif.

Contactez notre distributeur le plus proche. Il vous aidera efficacement.

Distributeurs Texas Instruments

- CEIN, 34 bis rue de Tournai, 59230 St-Amand-les-Eaux. Tél. (20) 48 53 39.
- EIS, 17 Avenue Henri Barbusse, 94240 L'Hay les Roses. Tél. (1) 663 02 24.
- EUROMAIL, Z. I. rue F. Joliot, 13290 Aix les Milles. Tél. (42) 26 58 11.
- FLAGELECTRIC, 47 rue J. Verne, 63000 Clermont-Ferrand. Tél. (73) 92 13 46.
- NADIS, 94-98 rue Haxo, 75020 Paris. Tél. (1) 797 39 29.
- PARIS SUD ELECTRONIQUE, 42 av. Allende, 91300 Massy. Tél. (1) 920 66 99.
- PEP, 4 rue Barthélémy, 92120 Montrouge. Tél. (1) 735 33 20.
- RADIALEX, 74 rue Vendôme, 69457 Lyon. Tél. (78) 89 45 45.
- 3 rue Moyrand, 38000 Grenoble. Tél. (76) 54 57 53.
- REVIMEX, 23 boulevard Victor Hugo, 44010 Nantes. Tél. (40) 20 09 22.
- TEKELEC-AIRTRONIC, Rue Carle Vernet, 92310 Sèvres. Tél. (1) 027 75 35.

Mémoires 4K statiques

- | | |
|---|---|
| • Organisation 4096 x 1 bit | • Organisation 1024 x 4 bits |
| Série : | Série : |
| TMS 4044 18 broches. | TMS 4045 18 broches. |
| TMS 40L44 18 broches,
faible consommation. | TMS 40L45 18 broches,
faible consommation. |
| TMS 4046 20 broches. | TMS 4047 20 broches. |
| TMS 40L46 20 broches,
faible consommation. | TMS 40L47 20 broches,
faible consommation. |



TEXAS INSTRUMENTS
FRANCE
L'innovation qui vous fait progresser.

Service lecteur : inscrivez le n° 023

EFFETS MAGNÉTIQUES EN OPTIQUE INTÉGRÉE

G. Hepner et J.P. Castera

Objet de l'étude

L'objet de l'étude était la réalisation de dispositifs non-réciproques en optique intégrée.

Par ailleurs, on se proposait la réalisation et l'expérimentation de guides rectangulaires magnétooptiques.

Intérêt de l'étude

1. Objectif précis de la recherche. La mise au point de systèmes de télécommunications à portuse optique implique la réalisation, en optique intégrée, de fonctions équivalentes à celles utilisées en hyperfréquences. Pour réaliser de tels composants, il faut comme en hyperfréquences faire interagir l'onde avec un milieu aimanté.

Au cours du précédent contrat, on avait pu montrer l'intérêt des couches épitaxiées de grenat d'yttrium fer (YIG) avec des substitutions de gallium et de gadolinium sur un substrat de grenat de gadolinium gallium (GGG). En effet, ces couches n'ont des pertes que de quelques dB/cm à la longueur d'onde de 1,15 mm. On a pu montrer que l'on pouvait obtenir une conversion de modes TE → TM aussi bien par effet Faraday que par effet Cotton-Mouton. Le taux de conversion de modes peut dépasser 80 % grâce à la biréfringence induite par le processus d'épithaxie.

On avait donné à la fin du précédent contrat des schémas de principe de réalisation aussi bien pour un isolateur que pour un circulateur. Ces composants sont basés sur l'association d'un tronçon gyromagnétique (effet Faraday) et d'un tronçon anisotrope (effet Cotton-Mouton). L'isolateur doit comporter en plus un absorbant pour le mode TM, qu'il s'agissait de réaliser. Le circulateur proposé est du type interféromètre Mach-Zehnder comportant dans une branche l'élément non-réciproque donnant une différence de déphasage de Π entre les deux sens de parcours. Ce dispositif comporte deux coupleurs directs entre guides. Il était donc intéressant de faire des études sur des guides magnétooptiques rectangulaires. Il fallait tout d'abord mettre au point des techniques de réalisation de guides à confinement latéral dans le YIG. Il était important d'autre part d'étudier théoriquement et expérimentalement l'orientation de l'aimantation dans ces guides.

2. Historique succinct des études antérieures. Les études précédentes ont porté sur l'étude des effets Cotton-Mouton et Faraday en optique intégrée ainsi que sur la biréfringence induite par épithaxie.

D'autres études ont été faites sur les domaines en bande dans les couches de YIG épithaxiées.

Déroulement de l'étude

1. Rappel des différentes étapes. Dans une première étape, on a comparé différentes substitutions du YIG notamment par l'Europlum et l'Aluminium. Les couches utilisées

pour l'isolateur sont de formule $Gd_{0,45} Y_{2,55} Ca_{0,9} Fe_{4,1} O_{12}$. Les couches à l'Europlum avaient une anisotropie de croissance importante.

Des couches d'épaisseur uniforme sont réalisées par rotation alternative du substrat dans le bain d'épithaxie.

On a considéré l'association générale de convertisseurs de mode Faraday et Cotton-Mouton et l'on donne des schémas pour un circulateur en guide plan et en guide à confinement latéral (montage Mach-Zehnder). Un schéma d'isolateur a été défini comprenant en plus des convertisseurs, un absorbant du mode TM, cet isolateur a été réalisé et testé.

2. Historique des difficultés rencontrées.

On a défini les conditions pour obtenir la dégénérescence des modes TE - TM par biréfringence d'épithaxie et l'équilibre de l'aimantation pour ces couches.

On a pu montrer que les effets magnétooptiques polaire et équatorial étaient négligeables dans les expériences et mettre au point des mesures du couplage Faraday et Cotton-Mouton.

L'absorbant TM de l'isolateur a été calculé pour différentes épaisseurs du guide.

Pour des couches supérieures à 2 μm , un dépôt métallique suffit, pour des couches d'épaisseur plus faibles, on interpose une couche de GGG. L'épithaxie de GGG sur YIG a été mise au point et on a réalisé des couches régulières. Une étude de la propagation des modes dans un guide rectangulaire montre que l'on peut obtenir des modes dégénérés à condition que le guide soit entouré de tous les côtés par le même milieu. On propose la réalisation de tels guides par photolithographie et épithaxie de GGG. Des guides par photolithographie ont été fabriqués et l'on a démontré la propagation dans ces structures.

L'isolateur comprend un convertisseur unidirectionnel (Faraday et Cotton-Mouton) et un absorbant. Les champs magnétiques dans le tronçon Cotton-Mouton sont obtenus par des circuits magnétiques, les champs nécessaires sont 250 Oe pour le champ perpendiculaire à la couche et 15 Oe pour le champ dans le plan. Le champ Faraday s'obtient par une bobine donnant 25 Oe. L'isolateur a été testé avec un champ magnétique sinusoïdal et l'on constate bien que suivant le sens du champ, les conversions de mode Faraday et Cotton-Mouton s'ajoutent ou se retranchent.

L'absorbant TM réalisé donne entière satisfaction.

Finalement, compte tenu que la dégénérescence de la couche utilisée n'est que de 80 %, l'isolateur a des performances conformes aux prévisions.

Récapitulation des résultats

On a démontré la faisabilité d'un isolateur en optique intégrée, ce qui est une première mondiale. On a proposé des schémas de circulateurs et l'on a fabriqué des guides à confinement latéral dans le YIG.

Conclusion et perspectives ultérieures

On peut penser que si l'optique intégrée prend de l'extension, on utilisera des disposi-

tifs non réciproques. Il serait intéressant de disposer de couches à constantes magnétooptiques plus élevées pour diminuer les dimensions. De même, il faut rechercher des matériaux nécessitant des champs de commande faibles.

Organisme contractant :

Thomson-CSF - LCR Corbeville

Laboratoire exécutant la recherche :

Acoustique et magnétisme

Contrat DRME n° 75-34-278.

ÉTUDE DE LA CINÉTIQUE DES PHÉNOMÈNES MIS EN JEU DANS L'ÉPITHAXIE EN PHASE LIQUIDE DES MATÉRIAUX DU SYSTÈME GaAs. Application aux couches très minces.

B. de Cremoux, P. Hirtz et J. Ricciardi

Objectifs des études et travaux

Compréhension des mécanismes déterminant la vitesse de croissance par Epithaxie en Phase Liquide (E.P.L.) de couches épithaxiales d'alliages ternaires $Ga_{1-x}Al_xAs$. Application au dépôt de couches d'épaisseur voisine de 1 μm .

Programme de recherche

Démonstration de la validité de l'extension aux alliages ternaires ou quaternaires du modèle théorique décrivant la croissance des binaires du type GaAs.

Mise au point d'un four et de creusets en graphite permettant de tenir les tolérances nécessaires sur la température à la fois dans l'espace ($\Delta T < 0,1$ °C sur la longueur du creuset) et dans le temps ($\Delta T < 0,1$ °C pendant la durée d'une opération d'épithaxie).

Détermination des degrés de sursaturation critique pour l'apparition de la nucléation parasite dans les bains par Analyse Thermique Différentielle (A.T.D.).

Élaboration de couches épithaxiales pour la vérification expérimentale du modèle théorique.

Principaux résultats

Le modèle théorique de croissance limitée par la diffusion des solutés dans le liquide a été étendu aux alliages à n composants. On a pu en tirer de plus des conséquences intéressantes quant aux gradients de composition dans les couches épithaxiales.

Les mesures en A.T.D. ont montré que le degré de sursaturation critique excède 6 °C pour tous les bains utilisés et que par conséquent celle-ci n'intervient pas normalement.

Les couches déposées se sont révélées avoir les épaisseurs attendues du modèle théorique. Il a été possible en pratique de déposer de façon reproductible des couches d'épaisseur aussi fine que 0,1 μm par la méthode du double substrat.

Organisme contractant :

L.C.R., Thomson CSF, BP 10, 91401 Orsay

Laboratoire exécutant la recherche :

Laboratoire de Matériaux Optoélectroniques du L.C.R. Thomson. CSF

Contrat DGRST : CCM n° 75-0-0707.

Les réseaux pensants



Une économie de l'information peut-elle succéder à une économie industrielle ?

Comment la téléinformatique transforme-t-elle le travail humain ?

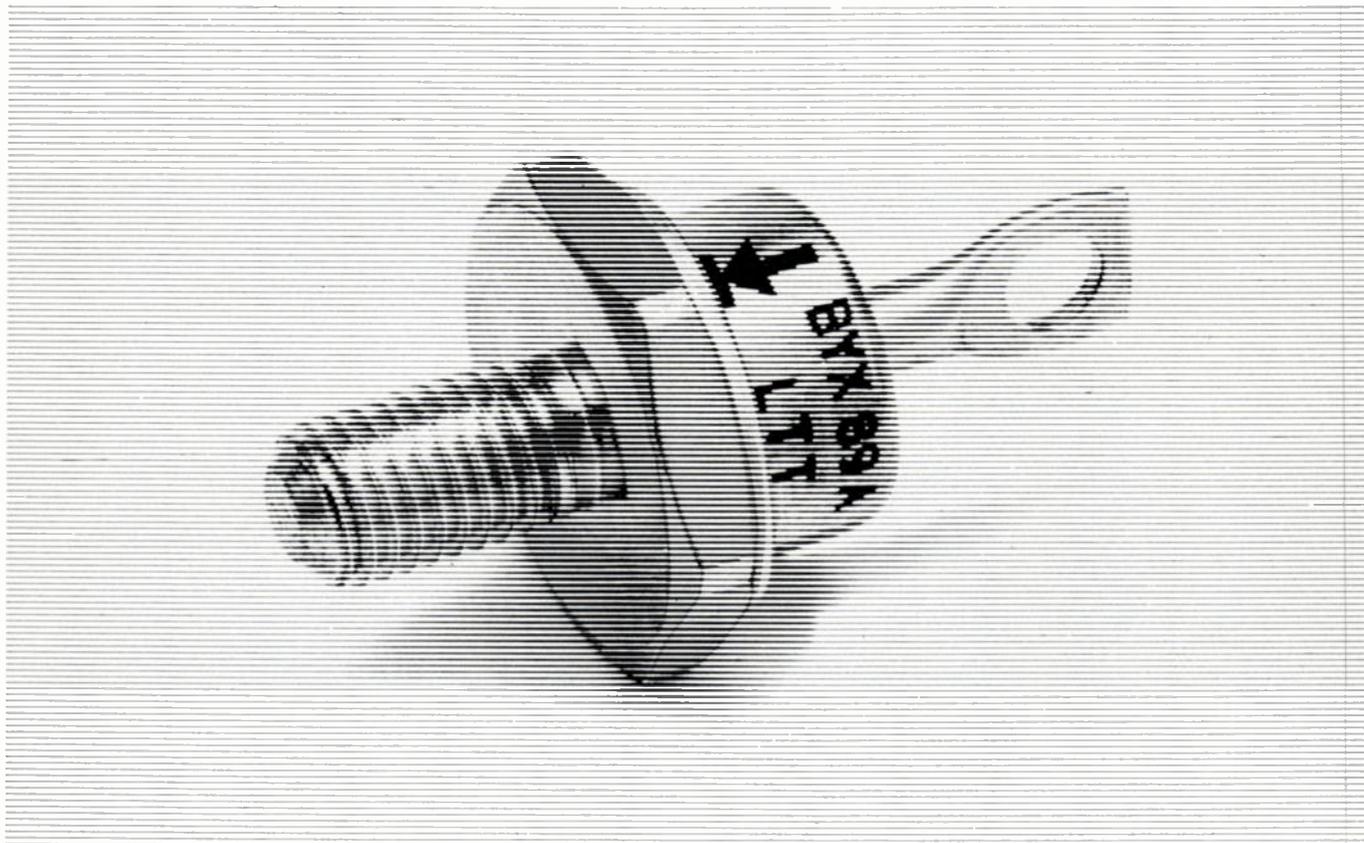
Quelles différences existe-t-il entre techniques de communication et communication humaine ?

Pour la première fois, techniciens et chercheurs en sciences humaines ouvrent le débat.



“Les réseaux pensants”
Télécommunications et société
sous la direction de Alain Giraud,
Jean-Louis Missika et Dominique Wolton. 58 F
Collection technique et scientifique
des télécommunications.

M MASSON



Diodes Schottky de puissance L.T.T., l'âge adulte

Grâce aux nouveaux procédés de fabrication et de contrôle mis au point par L.T.T., les diodes Schottky de puissance sont des composants fiables et de performances élevées, parfaitement adaptés aux nombreuses applications où l'originalité de leurs caractéristiques les rend particulièrement avantageuses. Leur procédé de fabrication fait appel aux technologies les plus récentes de dépôts de métaux évaporés sous ultravide ; les contrôles mis en œuvre à tous les stades de la fabrication, les séquences de mesure, les contrôles finals, les essais d'environnement garantissent à l'utilisateur un composant de très haute qualité.

La gamme présentée se répartit en deux types d'encapsulation normalisés : DO 4 et DO 5. Dans les diverses catégories les tensions s'échelonnent de 20 à 60 V et les courants directs de 5 à 50 A. De nombreux modèles sont d'ores et déjà inscrits en liste préférentielle GAM, les plus récents étant en cours d'inscription.

L'emploi de ces diodes à faible chute de tension directe et à grande rapidité conduit à une augmentation très appréciable du rendement énergétique des redresseurs à basse tension et de ce fait à des économies de

matière et à des réductions d'encombrement. Les principales applications sont du domaine des divers redresseurs, des convertisseurs à fréquence élevée, des protections contre les inversions de tension et les couplages d'alimentations.

Tableau des modèles				
Boitiers	I _o (A)	VRRM (V)		
		20	40	60
DO 4	5	BYX 73	BYX 73 A	BYX 73 B
	10	BYW 71	BYW 71 A	BYW 71 B
	15	BYW 69	BYW 69 A	BYW 69 B
DO 5	25	BYW 70	BYW 70 A	BYW 70 B
	50	BYX 89	BYX 89 A	BYX 89 B

• Chute de tension directe typique :

- pour I_o et V_R = 20 V V_F = 0,6 V
- pour I_o et V_R = 40 V V_F = 0,65 V
- pour I_o et V_R = 60 V V_F = 0,70 V

• Courant de surcharge non répétitif :

- I_o x 10



LIGNES TÉLÉGRAPHIQUES ET TÉLÉPHONIQUES

89, rue de la Faisanderie 75782 PARIS cédex 16 Téléphone : 504.45.50 - Télex : 620356 Gralifil Paris

nom _____

adresse _____

désire recevoir gratuitement une documentation sur les diodes SCHOTTKY de puissance L.T.T.

Les circuits logiques à faible consommation, situation actuelle et perspectives⁽¹⁾



par **J. MAJOS**,
Ingénieur au CNET dans le groupe « Conception de circuits intégrés spéciaux ».

et **J. L. LARDY**,
Ingénieur au CNET dans le groupe « Conception de circuits intégrés spéciaux ».

CNET, Route de Trégastel, 22300 Lannion
(tél. : (96)-38.26.57).

RÉSUMÉ

L'objet de cet article est de comparer les performances des principales technologies utilisées pour la fabrication des circuits intégrés complexes à faible consommation en s'appuyant sur des règles technologiques et de dessin actuelles.

SUMMARY

The low power logic circuits : actual state and perspectives.

This paper compares the performances of main technologies used to manufacture low power logic integrated LSI circuits. This comparison has been based upon the actual design and technological rules of a few manufacturers.

1. INTRODUCTION

L'évolution des technologies de circuits intégrés monolithiques est caractérisée par les trois facteurs suivants :

- la densité d'intégration : nombre de portes par mm²,
- la consommation : puissance absorbée par porte,
- la rapidité : temps de propagation des portes logiques.

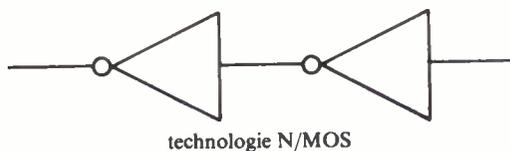
L'objet de cette étude est de comparer quelques technologies sur ces trois points techniques en tâchant notamment de bien spécifier les conditions et les hypothèses de travail afin d'établir des résultats susceptibles de guider le choix technologique pour une fonction donnée.

1.1. Définition de deux types de logiques

On peut distinguer deux types de logiques :

— une logique répétitive caractérisée par la répétition d'une cellule simple (mémoire) ou par une faible sortance et une capacité d'interconnexion quasi nulle (compteur, registre) ce qui confère au circuit le plus haut niveau d'intégration et dans le deuxième cas (compteur, registre) la plus grande rapidité dans une filière technologique donnée.

Exemple : inverseur sur inverseur (registre)

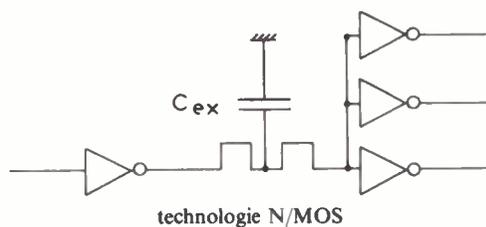


W : largeur du MOS signal
W = 20μ tpd = 5 ns
W = 80μ tpd = 5 ns

Il est donc évident que les transistors seront dans ce cas conçus avec les dimensions les plus réduites possibles.

— une logique « anarchique » caractérisée par une sortance élevée, une capacité d'interconnexion souvent importante et un grand nombre de couches logiques qui limitent la fréquence de fonctionnement.

Exemple :



Sortance = 3
C_{ex} = 0,5 pF
W = 20μ = D tpd = 18ns
W = 80μ = D tpd = 8ns

Donc le niveau d'intégration, qui est fonction de la géométrie des éléments actifs, ne peut se calculer que si la sortance, la capacité de charge, et la rapidité sont données.

2. PERFORMANCES EN LOGIQUE « ANARCHIQUE »

2.1. Situation actuelle

L'étude a porté sur les technologies suivantes :

- C/MOS grille aluminium
- C/MOS/SOS grille aluminium
- N/MOS grille silicium
- I²L isolement N.

(1) Article issu de la journée d'études du 7 décembre 1977, reçu le 17 mars 1978 et accepté le 28 avril 1978.

Pour comparer leurs performances, nous avons mis en œuvre deux méthodes :

- la première consiste à réaliser l'intégration de fonctions simples à l'aide de techniques d'implantation sur grille par motifs symboliques ;
- la deuxième prend comme hypothèse que l'opérateur moyen est la porte à deux entrées chargée par 3 portes identiques et une interconnexion de 1 mm.

Soit S la surface occupée par cet opérateur, la densité d'intégration moyenne au niveau de la surface active du circuit sera prise égale à :

$$\bar{D} = \frac{1}{2S}$$

Le facteur 2 est un coefficient correcteur afin de tenir compte des interconnexions.

A. INTÉGRATION DE FONCTIONS SIMPLES :

1. Description des fonctions :

- Bascule D 6 portes logiques

C/MOS 36 transistors
N/MOS 24 transistors
I²L 9 portes.

- Cellule de multiplication : 15 portes

C/MOS 62 transistors
N/MOS 46 transistors
I²L 18 portes

- Générateur d'impulsions : 11 portes

C/MOS 54 transistors
N/MOS 36 transistors
I²L 14 portes

2. Résultats :

Nous donnons en annexe quelques exemples de dessins de masques de ces fonctions avec les graphes symboliques correspondants. Le tableau I résume les résultats, il apparaît que le C/MOS/SOS et le N/MOS ont des densités d'intégration équivalentes et que par rapport à ces deux technologies l'I²L est deux fois plus dense et le C/MOS sur substrat massif est deux fois moins dense.

TABLEAU I

		C MOS sur silicium	C MOS sur isolant	N MOS grille si	I ² L isolement N ⁺
bascule D	S	119000	67600	52000	37600
	t/mm	300	532	460	
	p/mm	50	88	115	240
multiplicateur	S	233800	119600	121600	63580
	t/mm	265	518	509	
	p/mm	64	125	123	283
générateur	S	196900	95200	116000	73400
	t/mm	274	567	362	
	p/mm	56	115	112	190

B. CIRCUITS LOGIQUES COMPLEXES :

Rappel des hypothèses de travail

- la porte moyenne est la porte à deux entrées (MOS) ou 2 collecteurs (I²L)
- la sortance est égale à 3
- l'interconnexion atteint 1 mm.

1. Densité d'intégration :

Comme nous l'avons montré dans l'introduction le temps de propagation d'une porte logique (tpd) sous une charge donnée est fonction de la géométrie des transistors. D'une manière générale, la densité d'intégration est donc fonction de la fréquence d'utilisation. Nous prendrons par hypothèse que la fréquence de travail du circuit est égale à 1/10.tpd.

Nous avons donc calculé la surface (S) occupée par l'opérateur moyen en fonction de la fréquence et déduit la densité d'intégration égale à $\frac{1}{2S}$. Les résultats pour les technologies déjà citées sont représentés par les courbes en trait plein de la figure 1. La technologie I²L présente le plus grand niveau d'intégration avec 140 portes par mm² mais sa rapidité est limitée à 80 ns environ.

La technologie C/MOS sur isolant aussi dense que la technologie N/MOS dans le domaine des basses fréquences est nettement plus performante pour des fréquences supérieures à 5 MHz.

La technologie C/MOS grille aluminium sur substrat de silicium bien que moins performante n'est certainement pas sans intérêt, notamment pour la réalisation de circuits peu complexes de grande diffusion.

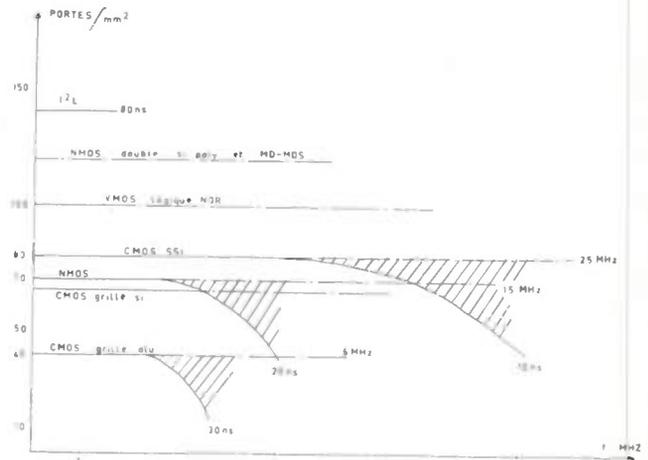


Fig. 1. - Densité d'intégration en fonction de la fréquence.

Nous avons tracé en pointillés les courbes pour des technologies en cours de développement :

- V/MOS 100 portes/mm²
- MD/MOS (CNET) 100 portes/mm²
- N/MOS double Si-polycristallin 120 portes/mm²
- C/MOS grille silicium 60 portes/mm² ;

2. Consommation par porte :

La consommation d'une porte logique est fonction de la fréquence de fonctionnement. Les consommations calculées dans les conditions déjà indiquées (tableau II) sont représen-

ées sur la figure 2. Le meilleur facteur de mérite F égal au produit du temps de propagation par la consommation est obtenu avec le C/MOS/SOS.

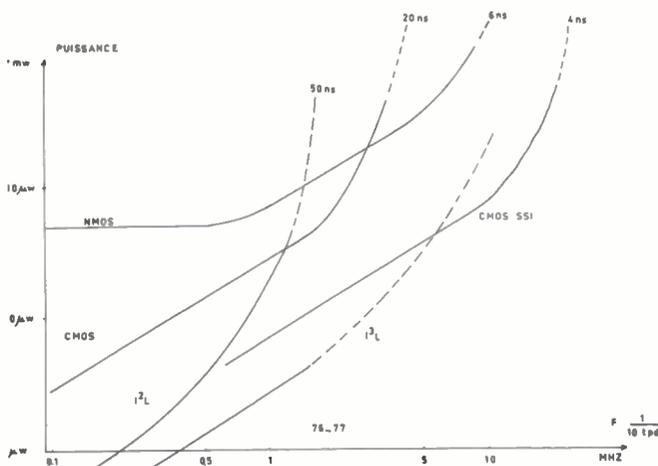


Fig. 2. — Consommation en fonction de la fréquence.

TABLEAU II

	100 kHz	1 MHz	10 MHz
C/MOS/SOS F =	0,015 ρJ	0,15 ρJ	0,8 ρJ
I^2L F =	0,6 ρJ	1 ρJ	
C/MOS F =	0,09 ρJ	0,9 ρJ	
N/MOS F =	5 ρJ	8 ρJ	10 ρJ

2.2. Perspectives

A. AXES DE RECHERCHES POUR L'AMÉLIORATION DES TECHNOLOGIES.

Les plus importants se situent au niveau des techniques mises en œuvre pour la réduction des géométries (H/MOS, MOS haute densité) et pour la diminution des capacités parasites par l'utilisation de l'isolement diélectrique ou du substrat isolant, chacune de ces actions permettant d'élever la densité d'intégration et de réduire les temps de propagation et la consommation, et pour l'augmentation du rapport de géométrie $\frac{W}{L}$ — (V/MOS et D/MOS) afin d'augmenter la rapidité des circuits.

Enfin, la simplification d'une fonction ou la création d'une nouvelle structure de porte logique seront des sources importantes pour diminuer la surface occupée par une fonction ou un opérateur.

B. ÉVOLUTION DE LA DENSITÉ D'INTÉGRATION :

L'évolution de la densité d'intégration est liée à l'évolution des techniques de masquage et de gravure ; Pour évaluer les performances futures nous avons, en fonction des finesses de gravures que l'on peut envisager, modifié les règles de dessin des masques, afin de calculer la surface occupée par l'opérateur moyen.

Les résultats donnés par les courbes de la figure 3 font apparaître que les technologies isolées profiteront davantage

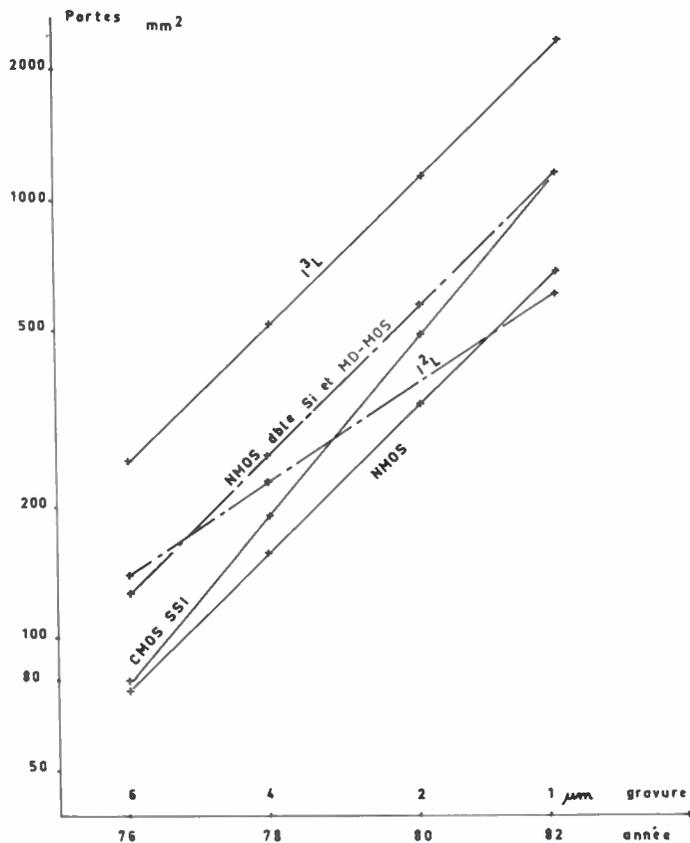


Fig. 3. — Évolution de la densité d'intégration.

de la réduction des géométries. Notamment, le C/MOS sur saphir pour des gravures très fines (2 à 1 μ) sera aussi performant que le N/MOS grille silicium.

L' I^2L à isolement diélectrique (I^3I) est très prometteuse en ce qui concerne la densité d'intégration d'autre part, la simplicité qu'elle apporte pour la conception des masques (implantation) est un atout important pour les circuits « anarchiques » complexes.

3. CONCLUSIONS

Pour chaque technologie étudiée, les résultats font apparaître des domaines d'applications spécifiques.

A basse fréquence (< 2 MHz) les technologies C/MOS sur silicium et I^2L sont bien adaptées.

Le C/MOS est généralement utilisé pour la réalisation de composants de moyenne complexité jusqu'à 2 000 transistors (500 portes).

L' I^2L est intéressante pour l'intégration des fonctions beaucoup plus complexes contenant jusqu'à 2 000 portes.

A haute fréquence (2 à 10 MHz) des dispositifs complexes ne peuvent s'intégrer actuellement qu'en technologie N/MOS ou C/MOS/SOS. Le critère technique important pouvant influencer le choix est la consommation beaucoup plus faible en C/MOS/SOS.

La conception de circuits à faible consommation en technologie N/MOS est possible en utilisant une logique dynamique, mais elle est alors plus délicate.

Dans l'avenir la technologie N/MOS restera très performante pour la réalisation des mémoires. Par contre, pour la

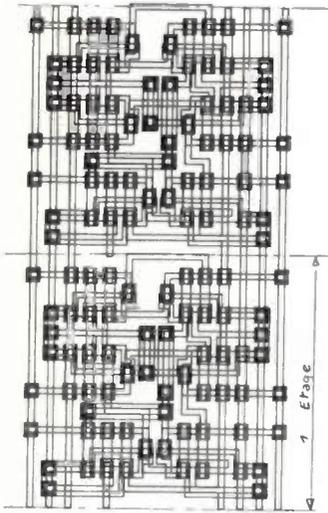
conception de circuits « anarchiques » elle sera concurrencée par la technologie C/MOS/SOS grille silicium.

de silicium atteindront des performances très voisines (1 000 portes par mm^2), les critères économiques seront alors très importants pour faire le choix.

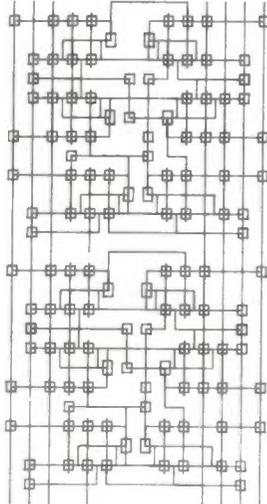
L²L à isolement diélectrique et le C/MOS/SOS à grille

ANNEXE

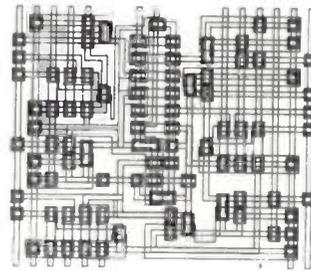
Graphes des implantations de fonctions simples.



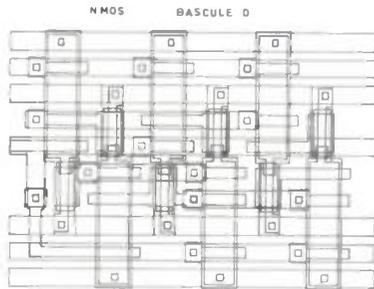
A. C/MOS/SOS : Bascule D



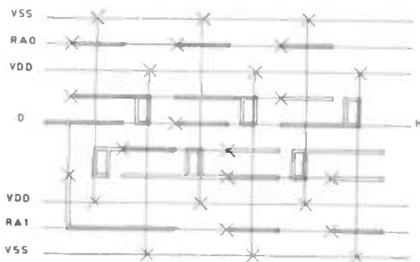
B. C/MOS/SOS : Générateur d'impulsions



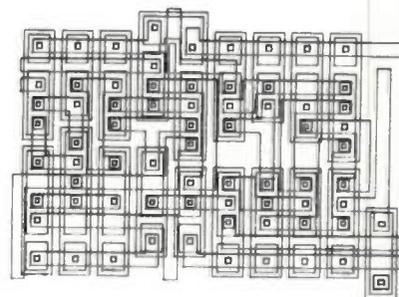
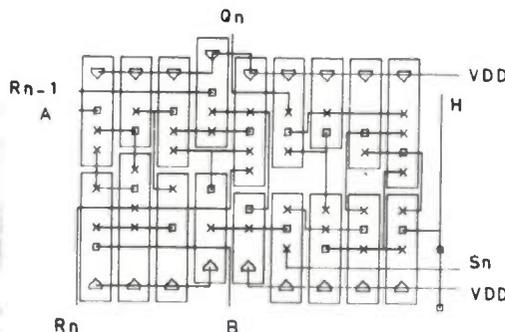
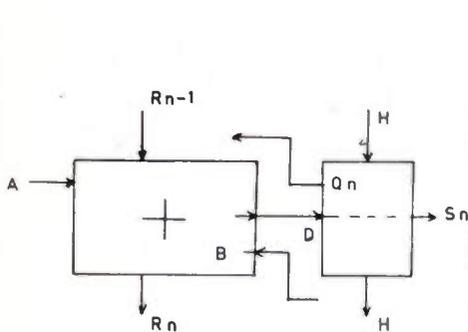
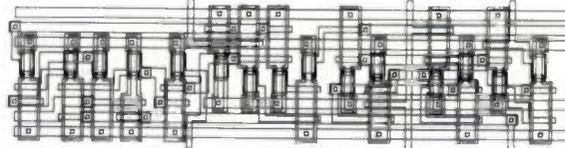
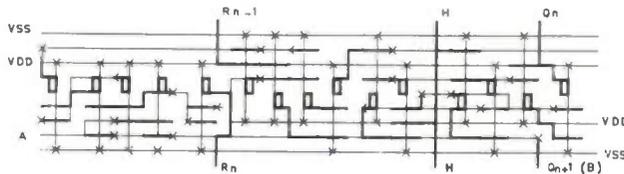
C. Canal N : Bascule D



D. Canal N : Étage de multiplication



E. I²L : Étage de multiplication.



Techniques de réalisation actuelles des circuits intégrés MOS à grille de silicium et canal N ⁽¹⁾

CIRCUITS INTÉGRÉS

L'onde électrique
1978, 58, n° 12
pp. 805-811



par J.P. MOREAU (2),

Ingénieur Radio ESE (R 61)
Chef de service Conception LSI-MOS

Thomson-CSF, Division Sescosem, Usine
de Saint-Egrève, B.P. 54, 38120 Saint-
Egrève (Tél. (76 75.81.12).

et G. DUBOIS,

Ingénieur CNAM
Responsable de la section : Contrôle tech-
nologique à l'atelier MOS de Corbeville
SESCOSEM,

Thomson-CSF, Division Sescosem, Usine
de Corbeville, B.P. 10, 91401 Orsay

RÉSUMÉ

En raison principalement des besoins des fabricants de mémoires, la technologie MOS grille silicium a atteint un très haut niveau de raffinement et de perfection. Cette étude passe en revue les principales techniques utilisées actuellement dans l'industrie, ainsi que celles qui le seront dans un futur proche.

SUMMARY

MOS silicon gate technology present technics review

Due principally to the need of MOS memory manufacturers, MOS Silicon gate technology has reached a high degree of sophistication and refinement.

This paper makes a review of principal basic technics which are presently used in the industry, and will be used in the near future.

INTRODUCTION

Les progrès des technologies des semi-conducteurs sont, depuis le début des années 60, tout à fait spectaculaires. L'essor des technologies MOS est plus récent (années 70), mais peut être encore plus impressionnant. La raison principale de cet essor est l'avènement des mémoires à semi-conducteurs en tant que mémoires centrales de calculateurs. Si l'on prend comme repère l'apparition des premiers échantillons, les dates suivantes sont à retenir :

- 1972 : premiers boîtiers 1 K (1 103) - Canal P
- 1974 : premiers boîtiers 4 K (2 107) - Canal N
- 1976 : premiers boîtiers 16 K (4 116) - Canal N
- 1978 : premiers boîtiers 64 K Canal N

La phase industrielle survenant en gros avec 2 ans de décalage.

La rentabilité, par rapport aux solutions à base de tores, a été démontrée dès l'apparition de la 4 K ; l'énormité du marché potentiel a entraîné, de la part des différents constructeurs, des travaux considérables d'amélioration des techniques et des matériels en vue d'accroître la productivité.

Ces travaux ont, bien entendu, profité à l'ensemble des filières à semi-conducteurs, mais les filières grille silicium, canal N qui sont les filières de base des mémoires, ont plus que toutes autres bénéficié de ces travaux et atteint un remarquable niveau de raffinement.

Après avoir brièvement rappelé l'enchaînement des principales opérations technologiques, nous examinerons les techniques de base utilisées actuellement, les raisons pour lesquelles elles ont été choisies et mises au point ainsi que les perspectives d'avenir à moyen terme.

ENCHAÎNEMENT DES PRINCIPALES OPÉRATIONS TECHNOLOGIQUES

En vue de bien situer les opérations qui seront décrites plus loin, examinons leur enchaînement dans le cadre d'une filière actuelle, celle utilisée pour réaliser les circuits de la famille SFF 96 800 (microprocesseur 8 bits et circuits associés). La figure 1 représente cet enchaînement.

La première étape est représentée figure 1a. Le substrat de silicium P < 100 > est oxydé puis recouvert d'une couche de nitrure de silicium. Le nitrure de silicium a la propriété de s'oxyder beaucoup plus lentement que le silicium lui-même, il peut donc être utilisé comme masque pour localiser cette opération (d'où le terme « LOCOS » = *Local Oxydation of Silicon*).

En pratique, la couche de nitrure est gravée de telle sorte qu'elle délimite les futures zones actives. Les zones non protégées par le nitrure sont implantées (dopage de champ) puis oxydées sur une épaisseur de 8 à 10 000 Å, après quoi, le nitrure est enlevé.

La figure 1 b montre une coupe du résultat obtenu.

Toujours sur la figure 1 b, la résine masquant l'implanta-

(1) Article issu de la demi-journée d'études de la S.E.E. du 7 décembre 1977, reçu le 20 février 1978 et accepté dans sa forme définitive le 25 septembre 1978.

(2) Membre S.E.E.

tion des transistors à apauvrissement a été représentée. L'opération suivante, représentée figure 1 c consiste à ménager dans l'oxyde mince les ouvertures qui permettront de réaliser des contacts directs entre le silicium polycristallin et les régions de drain (voir plus loin fig. 1e).

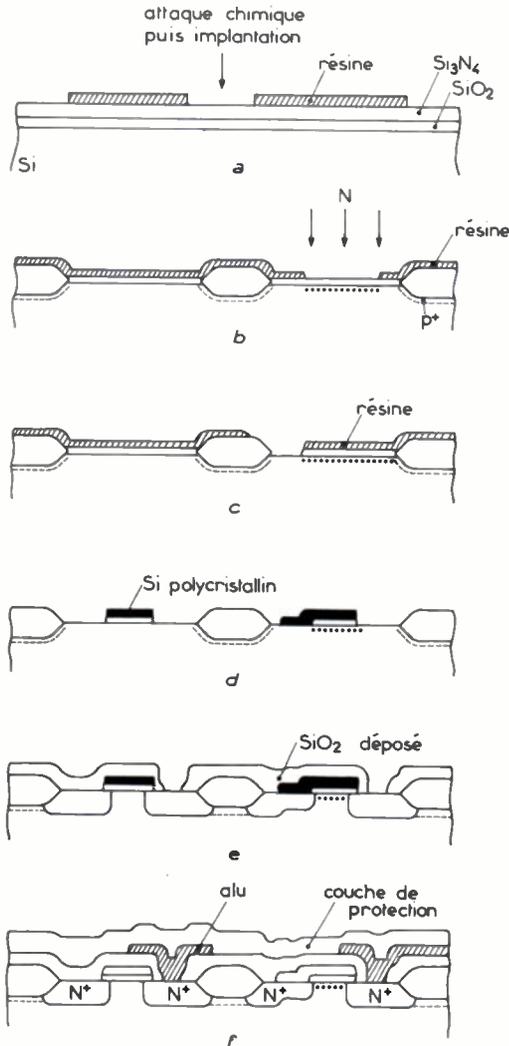


Fig. 1. — Principales étapes de la séquence technologique GSN3-L1.

Le silicium polycristallin est alors déposé puis gravé (fig. 1d).

Une diffusion phosphore concentrée permet d'obtenir simultanément le dopage des régions source et drain ($R_{\square} \approx 10$ à 20Ω) et du silicium polycristallin ($R_{\square} 20$ à 60Ω). Ce dernier est donc utilisable comme un premier niveau d'interconnexions.

Un oxyde d'isolement est déposé, dans lequel on ménage simplement les ouvertures de prises des contacts avec les métallisations. La figure 5e représente une coupe du dispositif à ce stade d'élaboration.

Il reste à déposer l'aluminium, à le graver, enfin à protéger l'ensemble par un verre dopé ou par du nitrure déposé à basse température (fig. 1f).

LES PRINCIPALES TECHNIQUES

1. L'implantation ionique

L'implantation ionique est une technique de dopage utilisée principalement lorsque l'on cherche à contrôler avec

précision des quantités faibles de dopant, ou encore, lorsque l'on désire autoaligner des motifs sur des repères qui ne supporteraient pas la température d'un four de diffusion (masquage par de la résine photosensible, cf. fig. 1b).

La précision tient au fait qu'il est possible de mesurer et de continuer la dose implantée par intégration dans le temps du courant du faisceau.

On obtient ainsi les valeurs visées à mieux que 10 % au lieu de $\pm 30\%$ pour les techniques de prédépôt en tube de diffusion.

Dans les filières grille/silicium canal N, l'implantation ionique est utilisée couramment trois fois :

a) Pour réaliser le « dopage de champ » (cf. fig. 1a).

Sans cette opération, il faudrait partir d'un substrat de résistivité $2 \Omega \text{ cm}$ pour obtenir une tension de déblocage des MOS parasites de l'ordre de 20 volts. La même tension peut être obtenue sur un substrat de résistivité 15 à $20 \Omega \text{ cm}$ en implantant quelques 10^{13} At de bore/cm² avec un gain de 3 environ en capacités parasites drain/substrat ainsi qu'en effet de substrat, donc en performances dynamiques.

b) Pour ajuster les tensions de seuil.

Le choix précédent d'un substrat à résistivité relativement élevée conduit à des transistors MOS naturels dont le seuil est voisin de 0V.

Une première implantation bore (quelques $10^{11}/\text{cm}^2$), masquée uniquement par l'oxyde épais, donc commune à tous les éléments actifs, remonte cette valeur à + 0,6 volts.

Une seconde implantation (quelques 10^{11} atomes Phosphore/cm²) localisée par la résine photosensible aux seuls MOS de charge, fait passer leur seuil à - 3,5 volts et permet ainsi de les utiliser en sources de courant.

c) A plus long terme, l'utilisation de l'implantation pour le dopage des sources et drains est possible : l'idée est de réaliser ces zones par l'implantation d'ions beaucoup moins mobiles que le phosphore (par exemple l'arsenic) en vue de minimiser l'effet des traitements thermiques ultérieurs sur le déplacement des frontières entre zones, et en particulier celui de la diffusion latérale sous la grille de commande, génératrice de capacité Miller.

Les doses nécessaires sont, bien entendu, beaucoup plus élevées et nécessitent l'utilisation d'implanteurs à haut flux.

2. Technique d'oxydation

La croissance de l'oxyde de silicium intervient à plusieurs étapes de la technologie de fabrication. L'étude de la cinétique des processus d'oxydation en vue de contrôler parfaitement les épaisseurs d'oxyde a permis de constater que certains phénomènes mis en jeu lors de l'oxydation jouent un rôle primordial sur les caractéristiques électriques des dispositifs (l'oxyde de silicium est en MOS une partie active du composant).

On montre que pour former une couche de silice d'épaisseur e , on consomme une couche de silicium d'épaisseur $0,45 e$, ce qui sera utilisé dans les techniques d'oxydation localisée pour « enterrer » l'oxyde.

A. CINÉTIQUE DE CROISSANCE

L'oxydation du silicium est réalisée par la pénétration vers l'interface des espèces oxydantes à travers les couches d'oxydes.

Elle peut être décomposée en 3 étapes :

- transport de l'espèce oxydante du volume gazeux à l'interface oxyde/gaz,
- diffusion à travers la couche d'oxyde présente,
- réaction à la surface du silicium.

Ces différentes étapes peuvent être groupées dans une cinétique globale modélisant l'oxydation du silicium et qui s'écrit :

$$e^2 + Ae = B(T + \tau)$$

e = épaisseur d'oxyde ; T = temps.

A, B, τ = constantes fonction de la température et de la concentration des espèces oxydantes dans la phase gazeuse (voir courbes fig. 2).

B. OBJECTIFS ACTUELS :

- oxydes plus minces avec des caractéristiques de tenue en tension améliorées, exempts d'impuretés (charges mobiles ou fixes), réalisés à des températures aussi basses que possible en des temps aussi courts que possible pour éviter les effets secondaires tout en ne créant pas de défauts à l'interface avec le silicium (défauts d'empilement en particulier),

- réduction des marches d'oxyde qui limitent la densité d'intégration par génération de défauts aux passages de marches liés d'une part à la couverture des dépôts, et d'autre part aux limitations de photogravure.

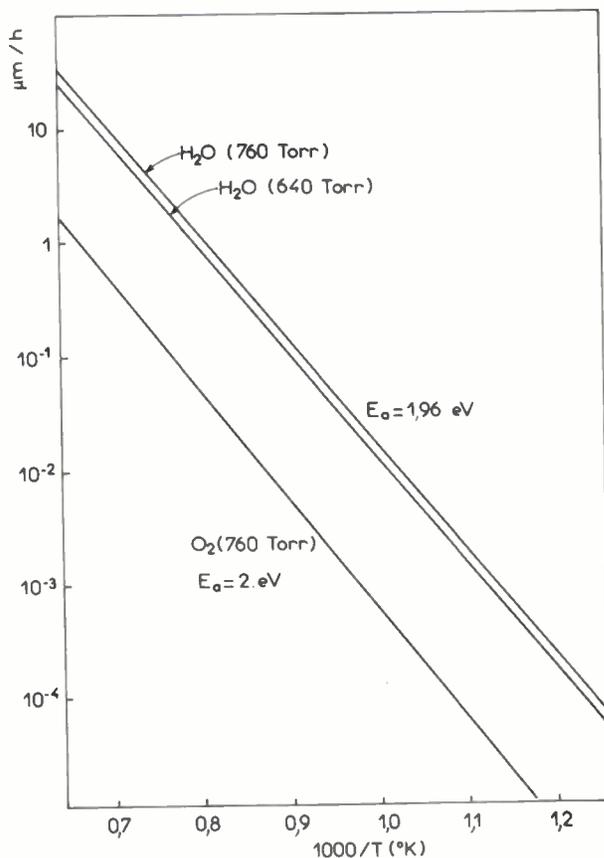
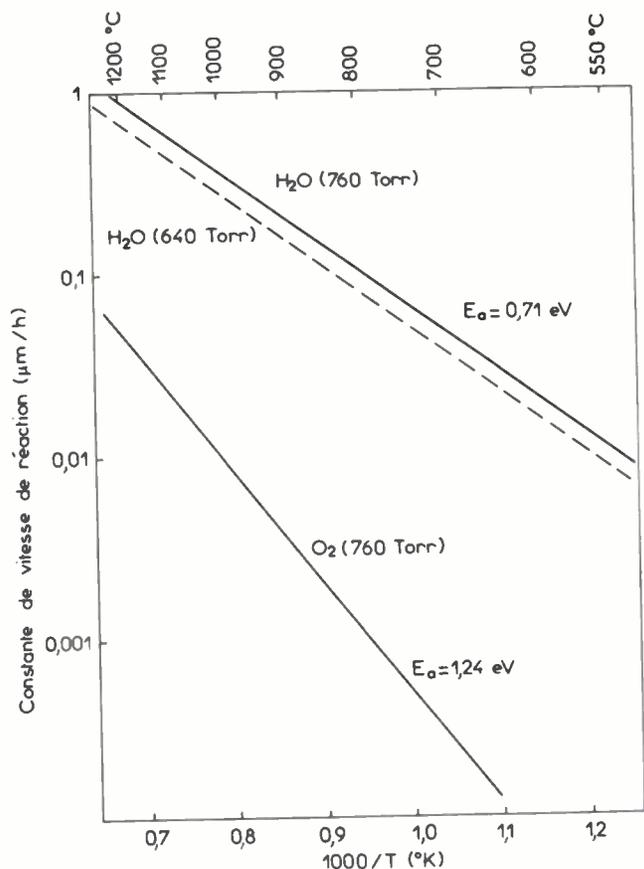


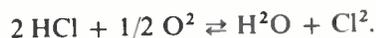
Fig. 2. - Cinétique d'oxydation du silicium.

C. RÉALISATION INDUSTRIELLE

Oxydes de « grille ».

Au niveau des oxydes de grille, la technique actuellement en cours de généralisation consiste en l'introduction d'acide chlorhydrique gazeux dans la phase oxygène du cycle avec des concentrations de quelques %.

La présence d'HCl augmente la cinétique d'oxydation qui devient celle d'une phase à pression partielle équivalente de vapeur d'eau en raison de l'équilibre :



La présence de chlore permet l'élimination des impuretés métalliques (dont le sodium) par formation de chlorures volatils ainsi que la diminution du nombre de défauts : d'une part dans l'oxyde, ce qui permet l'obtention d'un meilleur champ de claquage (très proche des valeurs théoriques) avec une dispersion très faible, d'autre part dans le silicium où l'on note une diminution du nombre de défauts d'empilement générés par oxydation, ce qui conduit à une amélioration des durées de vie en surface (diminution des courants de fuite induits).

Oxydes de « champ ».

Au niveau des oxydes de champ, on augmente le contrôle de réaction et la pureté par la synthèse de l'eau *in situ* à l'aide de « torches » brûlant de l'hydrogène en milieu oxygène. Les gaz pouvant être de très haute pureté et les débits gazeux étant très bien contrôlés, notamment à l'aide de débitmètres de masse, le contrôle de réaction est très supérieur à celui obtenu en utilisant de la vapeur d'eau.

D'autre part, afin de diminuer les hauteurs de marche, on

utilise l'oxydation localisée (LOCOS) obtenue en protégeant les zones à ne pas oxyder à l'aide de nitrure de silicium. Celui-ci a une vitesse d'oxydation quelques dizaines de fois plus faible (rapport fonction des conditions d'opérations) que celle du silicium. Il peut donc se comporter comme un masque et l'on « enterre » l'oxyde ainsi créé.

Les principales difficultés de cette technique résident dans le contrôle de l'oxydation sur les bords des zones masquées, tant en dimensionnement qu'en qualité cristalline du silicium sous-jacent (contraintes induites) (fig. 3).



Fig. 3. — Création des zones de contraintes par oxydation localisée.

La dernière technique actuellement en cours de développement est l'oxydation sous pression. L'augmentation de la pression d'oxygène ou de vapeur d'eau permet d'accélérer la vitesse d'oxydation (directement proportionnelle à la pression de l'oxydant), ce qui signifie que l'on diminue considérablement la durée et la température de l'oxydation (fig. 4).

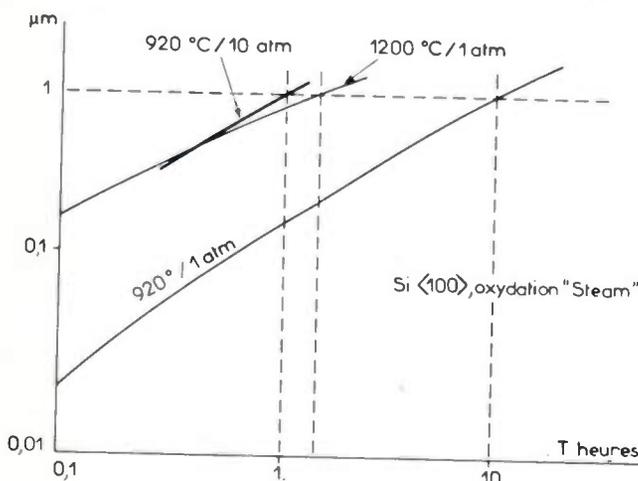


Fig. 4. — Oxydation sous pression

3. Techniques de dépôt

La technologie grille silicium canal N utilise 4 types de dépôts :

- oxyde de silicium ou phosphosilicate (pour l'isolement entre niveaux),
- nitrure de silicium (masquage de l'oxydation localisée),
- silicium polycristallin (grille active et couche d'interconnexion),
- aluminium (interconnexion).

Les 3 premiers sont des dépôts chimiques en phase vapeur, le quatrième est un dépôt physique (métallisation sous vide).

A. DÉPÔT CHIMIQUE EN PHASE VAPEUR

Le dépôt chimique en phase vapeur est une méthode de dépôt dans laquelle la couche est produite par réaction chimique hétérogène gaz solide à la surface d'un substrat.

Ces dépôts s'effectuent selon deux mécanismes réactionnels :

- réaction hétérogène où l'on considère que la réaction a lieu à la surface de dépôt,

— réaction homogène où l'on considère que la réaction est initiée dans la phase gazeuse au-dessus du substrat.

Les conditions opératoires privilégient l'un ou l'autre de ces deux modes qui conduisent à des caractéristiques de couches déposées différentes. Pour toutes les réactions utilisées, afin qu'il soit possible de maîtriser la cinétique et de former une couche, les réactifs doivent être apportés en quantité faible et contrôlés.

1) *C. V. D. (Chemical Vapor Deposition)*. C'est la technique « ancienne » qui a été utilisée pour tous les dépôts en phase vapeur jusque dans les années 75.

Les réactifs sont très dilués dans un gaz porteur, généralement inerte, et injectés dans une enceinte à la pression atmosphérique.

Les plaquettes à recouvrir sont posées sur une sole chauffée (infrarouge, effet Joule ou induction) à la température de dépôt, les parois de l'enceinte de réaction restant froides.

La température du mélange réactionnel est donc croissante du point d'injection à la surface de dépôt, le libre parcours moyen des espèces est très faible et le point d'initiation de la réaction est situé dans une zone mal définie au-dessus des substrats. Le taux de réaction homogène peut donc être important (ce qui présente des inconvénients quant à la structure des couches et à la couverture des marches) et la concentration des réactifs et intermédiaires de réaction est variable dans le volume du réacteur.

INCONVÉNIENTS PRINCIPAUX :

- homogénéité médiocre ($\pm 10\%$ lot à lot et plaquette à plaquette $\pm 5\%$ sur une même plaquette),
- dépôt sur une seule face (contraintes),
- faible productivité (excepté certains systèmes continus).

Cette technique a été utilisée dans le cas de la technologie qui nous intéresse pour :

- le dépôt de SiO_2 et $\text{SiO}_2 \cdot \text{P}_2\text{O}_5$ à 450°C par oxydation de SiH_4 et PH_3 ,
- le dépôt de Si (polycristallin) par cracking de SiH_4 à 730°C ,
- le dépôt de Si^3H_4 par réaction de NH_3 sur SiH_4 à 800°C .

2. *L. P. C. V. D. (Low Pressure Chemical Vapor Deposition)*.

Le principe de cette « nouvelle » technique consiste à augmenter le libre parcours moyen des espèces réactives en supprimant le gaz diluant donc en diminuant la pression afin de garder le contrôle de la réaction. Les débits de réactifs restent du même ordre de grandeur pour des volumes d'enceinte équivalents, les pressions de travail étant de l'ordre du Torr (maintenu à l'aide d'une pompe à vide primaire).

Le mécanisme de réaction hétérogène est alors très privilégié.

Le libre parcours moyen devenant grand, on peut disposer les plaquettes en nacelles dans des enceintes à « mur chaud » (en fait des tubes de diffusion) comme pour les opérations d'oxydation ou de diffusion.

La pression partielle des réactifs est alors quasiment constante dans l'enceinte et les températures étant très uniformes le long de toutes les surfaces, le taux de réaction de surface est constant.

AVANTAGES PRINCIPAUX :

- uniformité des dépôts lot à lot, plaquette à plaquette et sur une même plaquette : 2 %,
- dépôt sur les 2 faces,
- productivité très élevée,
- coût de l'appareillage plus faible que pour les CVD classiques et appareil directement dérivé des fours à diffusion,
- coût d'exploitation très nettement inférieur.

On dépose industriellement de cette manière :

- le silicium polycristallin par cracking de SiH_4 ,
- le nitrure de silicium par action de NH_3 sur SiH_2Cl_2 .

On commence à déposer les oxydes basse température.

3. *Diminution des températures de réaction.* Dans les types de dépôts précédemment cités, l'énergie nécessaire à l'activation de la réaction est toujours apportée de manière thermique. Pour abaisser les températures de réaction, il est parfois possible d'apporter cette énergie par activation HF.

On travaille alors sous basse pression et l'on crée un plasma par décharge dans une enceinte (décharge capacitive, voir fig. 5).

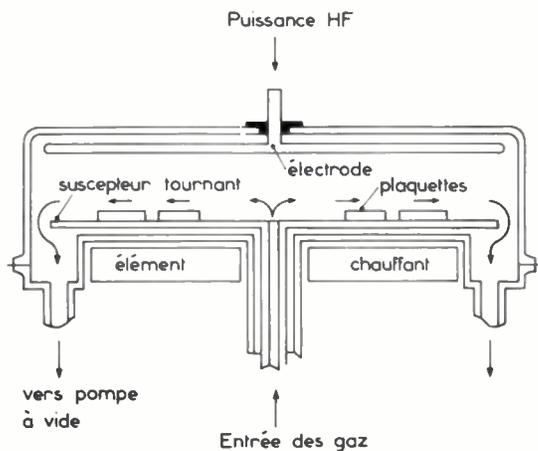


Fig. 5. — Dépôt basse température sous plasma.

On dépose actuellement de cette manière du nitrure de silicium à des températures inférieures à 400°C par réaction de SiH_4 avec NH_3 ou N_2 ; ce qui permet d'utiliser Si^3N_4 comme couche de passivation finale.

B. DÉPÔT PHYSIQUE EN PHASE VAPEUR :

Il s'agit ici des dépôts d'aluminium qui doivent avoir les qualités suivantes :

- bon franchissement des dénivellations,
- gravure aisée,
- bonne résistance à l'électromigration,
- bonne qualité des contacts.

Ce dernier point pose un problème : le silicium diffuse très rapidement dans l'aluminium pour former des alliages à environ 1 % Si à 430°C .

Le silicium dissous dans la ligne supérieure laisse un « vide » comblé par l'alliage. La pénétration de cet alliage peut être suffisamment profonde pour court-circuiter les jonctions N + P utilisées en grille Si canal N, le contact avec le substrat étant ohmique.

Pour éviter ce phénomène, on tend à déposer des alliages Al-Si sur-saturés en Si (1,5 %), soit par évaporation :

- canons à électron multicreuset,
 - évaporation de mélange,
- soit directement par pulvérisation cathodique magnétron.

Notons que cette dernière technique permet un bien meilleur recouvrement des marches que les techniques classiques d'évaporation ainsi qu'un bien meilleur contrôle de la composition.

4. Les techniques de photogravure

En matière de photogravure, il faut distinguer trois étapes :

- la réalisation des masques proprement dit,
- les techniques de transfert masque/plaquette de silicium,
- les techniques de gravures des motifs dans le silicium proprement dit.

1. *Réalisation des masques.* Les procédés classiques consistent à réaliser d'abord une épreuve sur plaque de verre à l'échelle 10, en général à l'aide d'un photocomposeur (plaques gélatine habituellement) ou plus rarement d'un électrocomposeur (plaques chrome).

Cette épreuve, dite « réduction intermédiaire », est ensuite ramenée à l'échelle 1 et répétée sous forme d'une nappe. Différents types de plaques sont utilisés, mais les plaques chrome tendent à se généraliser car elles permettent un meilleur respect dimensionnel et une meilleure résolution que les plaques gélatine.

Les photorépétiteurs modernes disposent d'une métrologie Laser et permettent d'atteindre une répétabilité de l'ordre de $0,5\ \mu$.

Le principal inconvénient de cette procédure est sa longueur. Parmi les techniques envisagées actuellement pour réduire le nombre d'opérations de réalisation des masques tout en améliorant la résolution et la précision, figure l'utilisation d'un électrocomposeur fonctionnant directement à l'échelle 1 et permettant le passage de la bande magnétique issue des travaux du concepteur au masque « original ».

Le masque original n'est que rarement utilisé (voir § suivant) directement.

Une copie chrome ou gélatine constitue le plus souvent le « masque de travail ».

Au-delà de la précision métrologique, un autre aspect de la qualité des masques est de première importance : c'est le taux de défauts ponctuels.

Ces défauts créent des insulations parasites ou des manques d'insolation et, par conséquent une perte de rendement dans le produit fabriqué.

En 1975/1976, les masques de bonne qualité comportaient 2 à 5 défauts au centimètre carré. Avec l'accroissement de la taille et de la densité d'intégration, de telles densités de défauts sont devenues intolérables.

En effet, le rendement maximum théorique Y_M en présence d'une densité de défaut D s'exprime par la relation :

$$Y_M = (1 + AD)^{-n}$$

où A est la surface active et n le nombre des marques critiques du processus.

Avec une technologie à 6 masques, une RAM 16 K dynamique voit son rendement limité à moins de 20 % dès lors que l'on dépasse 2 défauts par cm^2 , et ce en supposant tout le reste parfait !

Pour réduire ce taux de défaut à $0,5/\text{cm}^2$ (ou même zéro), une solution est apparue depuis un an environ : elle consiste à *réparer* les masques à l'échelle 1 à l'aide d'une machine à laser.

C'est un procédé cher qui suppose par ailleurs que ces masques « parfaits » puissent donner naissance à de nombreuses plaquettes et par conséquent, des techniques de transfert adaptées.

2. Les techniques de transfert masque plaquette. Le transfert des motifs sur la plaquette de silicium se fait par l'intermédiaire d'une résine photosensible insolée au travers du masque de travail.

La première technique employée consiste à mettre le masque *au contact* de la résine pour insoler, l'expérience montre que dans ces conditions un masque chrome présente après 100 expositions, 12 défauts/ cm^2 en plus de ce qu'il avait à l'origine. Cette technique est donc inutilisable pour les circuits complexes à moins d'admettre un degré très élevé de renouvellement des masques de travail.

On améliore cette situation en écartant de quelques dizaines de microns le masque de la plaquette (c'est ce qu'on appelle « la proximité »).

Les 12 défauts précédents tombent à 1,4 mais le respect dimensionnel s'altère rapidement lorsqu'on augmente la garde masque plaquette et les limites du procédé sont vite atteintes en matière de finesse de trait.

Pour obtenir des résultats satisfaisants sur des circuits de type mémoire, l'utilisation de la projection devient une nécessité. On trouve maintenant des optiques 1/1 capables de transférer des traits de 3 à 4 microns sur tout le champ correspondant à une plaquette de 3 pouces de diamètres.

Pour aller au-delà, tant en ce qui concerne la résolution (cf. les dimensions requises par les futurs circuits VLSI) qu'en ce qui concerne le diamètre des plaquettes, il faut au minimum envisager de photorépéter directement sur la plaquette à partir des réductions intermédiaires. Les meilleures optiques 1/10 actuelles fournissent 1000 traits/mm sur un champ de 14 mm : c'est pratiquement la limite d'optique classique.

Au-delà, il devient indispensable de passer à l'optique électronique.

Rendue à ce stade, on peut penser que toute la procédure

de réalisation des masques disparaîtra : la bande magnétique issue des travaux du concepteur ne donnera pas naissance à un masque, mais il servira à piloter directement un électrocomposeur travaillant directement sur plaquette, à l'échelle 1 (« masqueur électronique ») ;

Cette façon de procéder est, pour l'instant, du domaine de la recherche, l'obstacle principal étant la faible productivité des machines basées sur ce principe : l'insolation n'étant pas « collective », mais séquentielle (balayage), le temps nécessaire à l'exposition d'une plaquette est pour l'instant très long (une dizaine de minutes).

3. Techniques de gravure proprement dites. Les techniques classiques de gravure utilisées pour tous les procédés planar sont bien connues (gravure de SiO_2 dans les mélanges $\text{HF} - \text{NH}_4\text{F}$ de Si dans les mélanges $\text{HNO}_3 - \text{HF}$, d'Al dans H_3PO_4), mais elles atteignent aujourd'hui leurs limites en raison de l'augmentation de la densité d'intégration.

Aussi d'autres modes de gravure ont-ils été étudiés et entrent actuellement en phase d'exploitation industrielle.

Il s'agit essentiellement des gravures par plasma qui permettent des gravures pratiquement verticales (disparition de la gravure latérale) pour des largeurs de traits de l'ordre du micron.

A. GRAVURE PAR PLASMA

Le principe de la méthode consiste à créer une décharge par couplage HF (plasma en déséquilibre) dans un gaz à une pression comprise entre 0,01 et 1 torr. Il y a alors « activation » des atomes ou molécules présents dans le milieu. Le choix du gaz permet celui des espèces activées qui vont attaquer sélectivement l'un des matériaux du substrat qui sera transformé en un composé volatil éliminé par pompage.

Equipements du marché. Les systèmes de gravure par plasma disponibles sur le marché peuvent être divisés en deux types, selon leur mode de chargement : en volume ou en surface. Dans tous les cas, les gaz appropriés sont envoyés dans la chambre de réaction à un débit contrôlé et la pression est maintenue à l'aide d'une pompe à vide primaire.

Les systèmes en volume sont constitués d'une chambre cylindrique dans laquelle on place la nacelle contenant les plaquettes à attaquer. Le plan de chaque plaquette est perpendiculaire à l'axe du cylindre.

La puissance RF peut être couplée inductivement ou capacitivement au volume du réacteur, à l'aide d'un bobinage disposé autour de celui-ci ou d'une capacité formée de deux électrodes en demi-coquilles.

Les problèmes liés à ces géométries sont les inhomogénéités de concentrations des espèces actives et de température sur une même plaquette et dans un même lot.

On essaie de palier ces problèmes en ajoutant un cylindre perforé appelé « etch tunnel » servant d'électrode flottante autour des plaquettes.

Dans les systèmes en surface, les plaquettes sont placées à plat sur l'armature inférieure d'une capacité, le couvercle de la chambre formant l'autre armature.

On peut de cette manière contrôler la température des deux armatures des capacités, donc des plaquettes, par circulation d'un fluide de refroidissement.

Le deuxième avantage de ce système, par rapport au précédent, est la disparition des effets radiaux sur les plaquettes, toute la surface de toutes les plaquettes étant traitée de la même manière. L'homogénéité des résultats peut être augmentée en animant l'électrode inférieure d'un mouvement de rotation.

Ce système est donc potentiellement supérieur à l'autre, dans les domaines des homogénéités d'attaque et de reproductibilité. On peut penser également obtenir une meilleure sélectivité d'attaque par utilisation d'espèces actives différentes de celles utilisables dans les systèmes en volume.

On peut ainsi graver sélectivement à l'aide de différents mélanges généralement à base d'hydrocarbures fluorés les couples suivants :



Le degré de maturité industrielle de la méthode varie suivant le couple choisi.

Dans tous les cas, la résine photosensible (masque) est éliminée en fin d'opération par un plasma d'oxygène.

B. GRAVURE PAR PULVÉRISATION

La deuxième méthode de gravure étudiée est la pulvérisation (généralement non réactive) du substrat par un gaz

inerte ionisé (pulvérisation inverse) dans une chambre à pression réduite.

Le principal inconvénient de cette méthode est sa très faible sélectivité vis-à-vis des différentes couches.

On peut actuellement penser que ce sera la méthode prenant le relais des méthodes d'attaque par plasma lorsque celles-ci seront à leurs limites et que les progrès dans le dépôt ou la croissance des couches seront tels que le manque de sélectivité d'attaque ne sera plus un handicap.

CONCLUSION

Ce rapide passage en revue des principales techniques mises en œuvre pour la réalisation des circuits intégrés MOS canal N suffit à montrer qu'un renouvellement presque complet des méthodes a été enregistré dans les deux dernières années.

Sur le plan pratique, ce renouvellement ne fait que commencer à faire sentir ses effets dans les ateliers de fabrication industrielle, alors même qu'au niveau des laboratoires, une nouvelle étape est en préparation en vue des circuits dits « VLSI ».

Ceci confirme bien que le chemin parcouru par l'industrie des semi-conducteurs depuis 15 ans n'est pas encore près de s'infléchir, et que la loi de croissance exponentielle des performances se poursuivra encore pendant plusieurs années.

Caractéristiques actuelles et évolution de la technologie silicium sur isolant (SSI)⁽¹⁾

CIRCUITS INTÉGRÉS

L'onde électrique
1978, vol. 58, n°1
pp. 812-817

© Masson, Paris 1978.



par J. BOREL (2),

Ingénieur électronicien de l'École Nationale Supérieure d'Électronique et de Radioélectricité de Grenoble (Enserg), Docteur ès sciences, Responsable au LETI des études sur la physique des dispositifs, les circuits intégrés et les technologies avancées.

LETI, avenue des Martyrs, B.P. 85, Centre de Tri, 38041 Grenoble Cedex (Tél. (76) 97.41.11).

RÉSUMÉ

La technologie silicium sur isolant (SSI) a longtemps été considérée comme une technologie idéale dans son principe mais ce n'est que vers les années 1970 que la disponibilité d'un matériau de bonne qualité a permis d'envisager son essor industriel. L'avantage essentiel de cette technologie est de supprimer presque toutes les capacités parasites associées aux composants et de permettre grâce à l'isolement par l'air, d'augmenter la densité des circuits. On passe successivement en revue les points suivants : améliorations quantitatives attendues et limitations, description de la technologie, comparaison aux autres technologies en ce qui concerne les performances, aptitude à réaliser des microstructures, exemple de circuit réalisé et enfin aptitude à réaliser des circuits V.L.S.I. (Very Large Scale Integration).

SUMMARY

Characteristics and improvements of silicon on sapphire (SOS) technology

The silicon on sapphire (SOS) technology has been considered for a long time as an ideal technology in its principle but it is only at the beginning of the seventies that the availability of a good quality substrate has started its industrial rise. The main advantages of this technology are to avoid almost all the parasitic capacitances associated with the devices and thanks to air isolation to increase the density of integration.

We review the following points : quantitative improvements and limitations, description of the technology, performances comparisons with other technologies, suitability for making microsize structures, example of I.C.'S (SOS and TTL) and comparison, application to V.L.S.I.

INTRODUCTION

La technologie silicium sur isolant (SSI) a été considérée depuis longtemps comme une technologie idéale dans son principe [1 à 3] pour augmenter la vitesse des circuits intégrés à transistors MOS.

Ceux-ci possèdent en effet une transconductance [4] plus faible que celle des transistors bipolaires et il est donc particulièrement intéressant de pouvoir diminuer les capacités parasites associées. Il a fallu attendre la disponibilité d'un matériau mieux contrôlé, de caractéristiques plus reproductibles, pour qu'un nouvel essor soit donné à cette technologie vers les années 1970 [5, 6]. Depuis cette époque de nombreux progrès ont été faits, aussi bien dans la préparation des substrats que dans la compréhension des mécanismes physiques mis en œuvre et la réalisation de composants et de circuits [7, 8].

Dès lors, l'essor industriel ne s'est pas fait attendre et actuellement la production de circuits complexes [9, 10] et leur introduction dans des systèmes très performants sont annoncées [11].

Un des avantages essentiels de la technologie silicium sur

isolant est d'utiliser une fine couche de silicium (0,6 à 1 μm) sur un substrat isolant de corindon (de 300 μm d'épaisseur).

Dans ces conditions, des diminutions de capacités parasites associées aux composants sont envisageables dans des rapports très importants (dépendant de la structure du circuit).

Sur la figure 1 [12] on a comparé les contributions aux capacités parasites pour des circuits sur substrat massif et sur silicium sur isolant. Ces comparaisons sont faites dans un cas moyen de charge des portes (longueur des interconnexions et nombre de croisements) observé sur des circuits réels et dans le cas d'une sortance et d'une entrance de 3. On voit nettement apparaître l'intérêt du substrat silicium sur isolant pour abaisser :

- les capacités associées aux fonds de jonctions (C_1),
- les capacités parasites associées aux interconnexions (indépendamment des capacités des croisements qui subsistent).

Par ailleurs, l'isolement des composants par air permet d'envisager une augmentation notable de leur densité (pas de limitations dues au perçage).

De par la finesse de la couche de silicium utilisée, il apparaît un certain nombre de phénomènes qui sont liés aux propriétés des surfaces et des interfaces et qui modifient les propriétés des composants. Nous allons indiquer les consé-

(1) Article issu de la demi-journée d'études du 7 décembre 1977, reçu le 17 mars 1978 et accepté dans la forme définitive le 25 septembre 1978.

(2) Membre S.E.E.

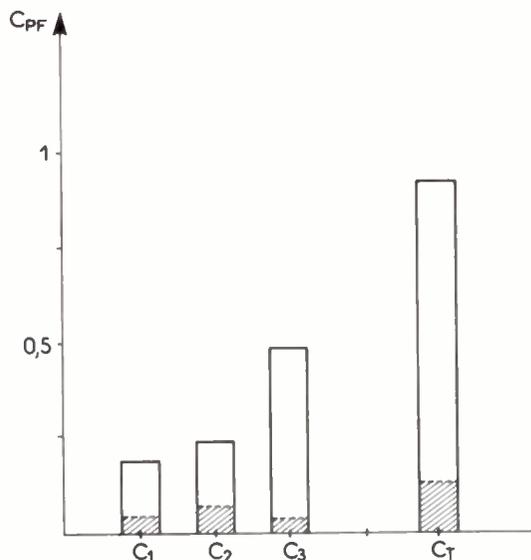


Fig. 1. — Comparaison des contributions aux capacités parasites pour le canal N sur substrat silicium massif et sur SSI.

C_1 : capacité de sortie de la porte
 C_2 : capacité de liaison (métal) entre portes
 C_3 : capacité de liaison (diffusion) entre portes
 $C_T = C_1 + C_2 + C_3$
 trait continu : canal N sur Si massif
 trait discontinu : canal N sur Si sur isolant

quences à deux niveaux essentiellement : au niveau des courants inverses de jonction et au niveau de la mobilité de surface dans les transistors MOS.

Les caractéristiques idéales des transistors MOS sur SSI sont représentées (fig. 2), où l'on a aussi représenté la vue en coupe de la zone du canal du transistor MOS [13] (perpendiculaire au passage du courant). On a repéré diverses zones responsables de différents phénomènes selon que l'on s'intéresse à un transistor MOS du type PNP ou NPN. De façon générale, indiquons que la zone II contribue au courant inverse par génération de courant « de volume », la zone I (surface d'orientation $\langle 100 \rangle$) est le siège de la couche d'inversion et participe elle aussi au courant inverse.

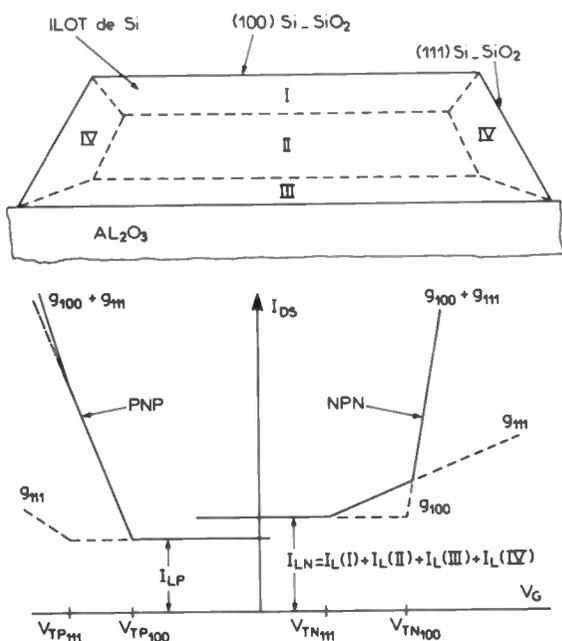


Fig. 2. — Caractéristiques théoriques du transistor MOS sur SSI.

De façon plus spécifique la zone IV (flancs de caisson) correspond à une surface d'orientation $\langle 111 \rangle$ et la couche de SiO_2 possède une charge Q_{SS} positive plus importante que sur la face $\langle 100 \rangle$. C'est ce qui entraîne, dans le cas du canal N, un déblocage du transistor MOS $\langle 111 \rangle$ avant le transistor MOS $\langle 100 \rangle$ (conductance g_{111}) car $V_{TN\langle 111 \rangle} < V_{TN\langle 100 \rangle}$. Cet effet peut se traduire par une augmentation apparente du courant de fuite à $V_G = 0$ si $V_{TN\langle 111 \rangle} < 0 < V_{TN\langle 100 \rangle}$. C'est ce qui peut être le cas pour un faible dopage du caisson ou une charge $Q_{SS\langle 111 \rangle}$ élevée (par exemple après irradiation de la structure).

Dans le cas du canal N, par exemple, on trouve ainsi 3 régions sur la caractéristique $I_{DS}(V_G)$.

— Pour $V_G < V_{TN\langle 111 \rangle}$ un courant de fuite I_{LN} est observé provenant de la génération dans les zones de charge d'espace des régions I, II, III et IV et éventuellement d'un courant MOS dans la région III si le silicium est peu dopé dans cette région et s'il y a des charges positives dans le substrat.

— Pour $V_{TN\langle 111 \rangle} < V_G < V_{TN\langle 100 \rangle}$ se rajoute la contribution du courant de flanc de caisson (région IV) qui est un courant MOS contrôlé par la grille (cas d'une structure non plane).

— Enfin, pour $V_G > V_{TN\langle 100 \rangle}$ le courant essentiel vient de la surface de l'îlot de silicium (courant MOS normal).

Expérimentalement, c'est bien ce type de comportement que l'on observe (fig. 3), où l'on a tracé les courbes expérimentales indiquées (fig. 2), sur deux transistors MOS ayant les caractéristiques suivantes : (largeur du canal $Z = 100 \mu\text{m}$, longueur du canal $L = 8 \mu\text{m}$ sur masques).

$$N_A = 3.10^{16}/\text{cm}^3$$

$$N_D = 2.10^{15}/\text{cm}^3$$

$$X_{ox} = 800 \text{ \AA} \quad X_{Si} = 0,7 \mu\text{m}$$

à $V_{DS} = 100$ mvolts on mesure : (ramené à Z unitaire)

$$I_{LP} \approx 10^{-13} \text{ A}/\mu\text{m}$$

$$I_{LN} \approx 3.10^{-12} \text{ A}/\mu\text{m}$$

La contribution au courant des flancs d'orientation $\langle 111 \rangle$ est relativement faible.

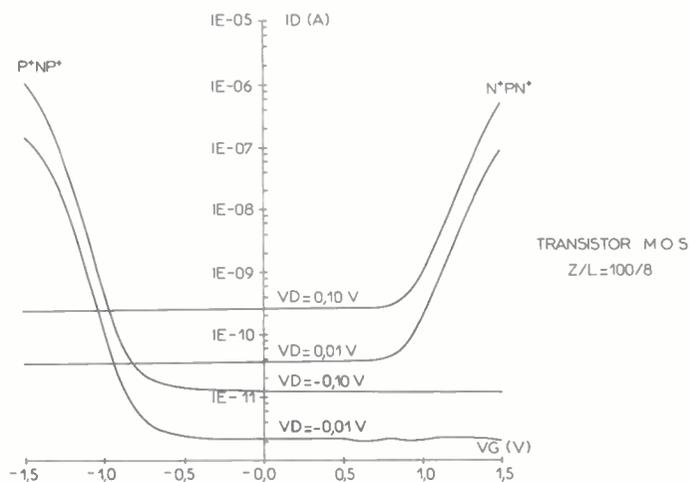


Fig. 3. — Caractéristiques expérimentales du transistor MOS sur SSI.

Enfin, signalons que la présence de défauts dans ces couches (créés lors de l'hétéroépitaxie) entraîne l'existence d'une mobilité des porteurs inférieure au cas du substrat massif (mobilité MOS) [14]. Les évolutions des mobilités et des tensions de seuil des transistors MOS canal P et canal N en fonction de l'épaisseur de silicium sont données (fig. 4). L'existence d'une remontée dans le cas du μN pour les faibles x_{Si} est associée à un plus faible dopage du substrat après redistribution de la couche implantée (conditions d'implantation :

$$E = 60 \text{ KeV} \quad \overline{N}_A \text{ visé} = 3 \cdot 10^{16} / \text{cm}^3, \\ \overline{N}_D \text{ visé} = 2 \cdot 10^{15} / \text{cm}^3,$$

température de recuit : 800 °C).

Comparées aux cas des transistors MOS sur substrat massif, les valeurs des mobilités sont en moyenne 10 % plus faibles pour le canal P et 20 % plus faibles pour le canal N.

On constate en moyenne que la mobilité MOS dans les couches de silicium sur isolant, à dopage constant, commence à chuter, à cause de la moins bonne qualité des premières couches déposées (nucléation [25]) lorsque l'on diminue l'épaisseur du silicium, entre 0,3 et 0,4 μm . Ceci indique que l'on peut réaliser des transistors de caractéristiques tout à fait convenables sur de telles épaisseurs de silicium. On bénéficie alors d'une structure quasiment plane car les marches en bord de caisson sont limitées à 0,4 μm . La figure 4 indique que des transistors MOS ont été réalisés sur des couches de silicium aussi fines que 150 nm.

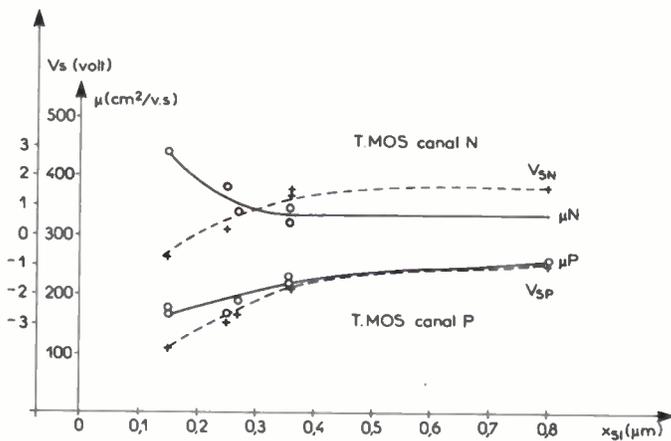


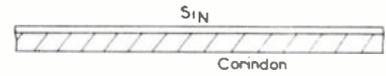
Fig. 4. — Évolution des mobilités et des tensions de seuil des T.MOS sur SSI en fonction de l'épaisseur du silicium épitaxié.

1. TECHNOLOGIE

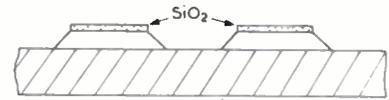
Les deux principales technologies utilisées en silicium sur isolant sont la technologie CMOS grille aluminium et la technologie CMOS grille silicium. Ce sont en effet les technologies complémentaires qui bénéficient au mieux des avantages du silicium sur isolant (caissons P réalisés naturellement).

La figure 5 décrit les principales étapes technologiques de réalisation d'un circuit CMOS grille aluminium [15].

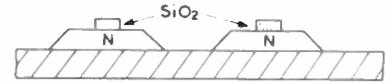
Après isolement des plots de silicium par gravure chimique (masque n° 1) on définit les canaux des transistors MOS grâce à une bande d'oxyde déposé (masque n° 2) servant de masque à la diffusion soit du phosphore obtenu à partir



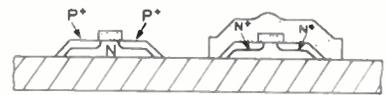
Silicium N <100> $x_{Si} = 0,8 \mu\text{m}$
 $ND = 2,5 \cdot 10^{15} \text{cm}^{-3}$
 Dopage par implantation,
 Phosphore : $E = 80 \text{ KeV}$; $D = 3 \cdot 10^{11} \text{cm}^{-2}$.



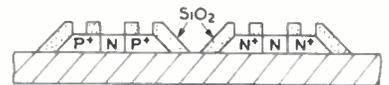
Masque 1 : Gravure du silicium.
 Élimination de SiO_2
 Dépôt d'oxyde : $x_{\text{SiO}_2} = 0,8 \mu\text{m}$.
 Densification.



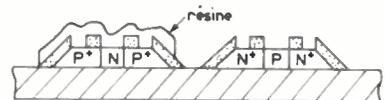
Masque 2 : Définition des canaux.
 Dépôt d'oxyde dopé ($T = 425 \text{ °C}$) $\text{PH}_3/\text{SiH}_4 = 10\%$.



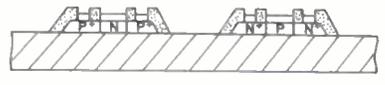
Masque 3 : Diffusion P^+ .
 Boron + - $T = 1000 \text{ °C}$ - 20 mn
 Élimination des oxydes.
 Oxydation $X_{\text{ox}} = 0,12 \mu\text{m}$.
 Dépôt SiO_2 : $x_{\text{SiO}_2} = 0,8 \mu\text{m}$.



Masque 4 : Ouverture grille et prétrou dans l'oxyde épais.



Masque 5 : Compensation : Implantation bore.
 $E = 140 \text{ KeV}$; $D = 4,5 \cdot 10^{12} \text{cm}^{-2}$.



Oxydation grille : $X_{\text{ox}} = 0,12 \mu\text{m}$



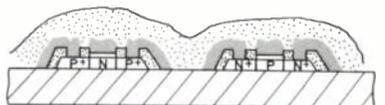
Masque 6 : Ouverture contact.



Dépôt Al : $x_{\text{al}} = 1,5 \mu\text{m}$.



Masque 7 : gravure Al.



Protection verre.
 Masque 8 : ouverture plots.
 Recuit : $T = 450 \text{ °C}$ t = 30 mn N_2 sec.

Fig. 5. — Technologie C. MOS sur silicium sur isolant grille aluminium.

l'oxydes dopés (masque n° 3), soit du bore (diffusion en phase gazeuse). Le masque n° 4 sert à l'ouverture des grilles, le masque n° 5 à la compensation P du substrat de type N afin de réaliser les structures N⁺PN⁺. Ensuite, il suffit d'ouvrir les contacts (masque n° 6), de graver l'aluminium (masque n° 7) et d'ouvrir les plots (masque n° 8) à travers la couche de protection.

Notons que quatre de ces étapes de masquage ne sont pas critiques (masques n° 1, 3, 5 et 8) et interviennent peu dans le coût des opérations et leur rendement.

2. PERFORMANCES

Comme indiqué plus haut (fig. 1) les performances de la technologie MOS sont grandement améliorées grâce à l'utilisation d'un substrat silicium sur isolant qui permet de réduire les capacités parasites. Nous avons représenté (fig. 6), les performances des principales technologies dans le plan puissance-fréquence, dans le cas de la réalisation d'un diviseur dynamique (trois couches logiques et sortance de trois). Nous pouvons remarquer que les technologies bipolaires deviennent de plus en plus concurrencées, sur le plan des fréquences maximales de fonctionnement, par les technologies MOS.

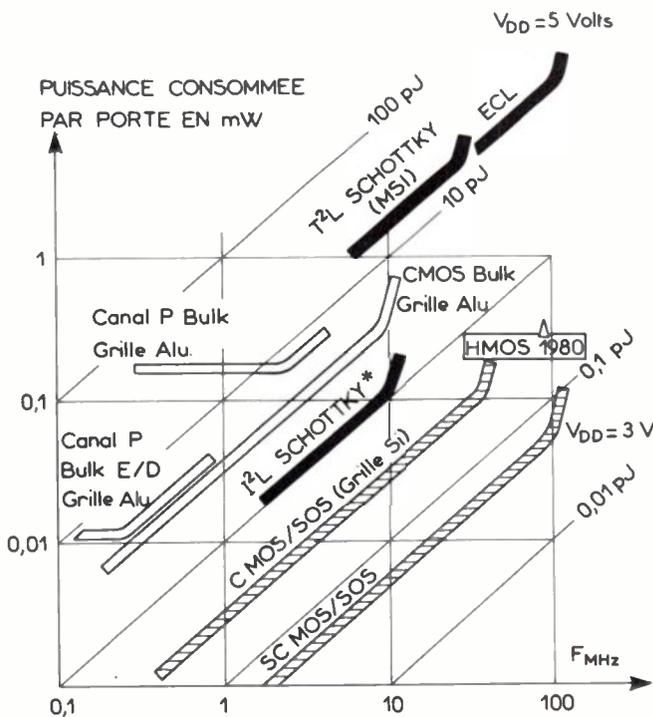


Fig. 6. - Comparaison des principales technologies dans le plan Puissance-Fréquence.

* Electronics, september 4, 1975 (p. 30).
 Δ Electronics, august 18, 1977 (p. 95).
 F = Fréquence pour 3 couches logiques et fan out = 3.

La technologie I²L présente des caractéristiques en fréquence et facteur de mérite qui sont voisines de celles de la technologie CMOS sur substrat massif.

La technologie CMOS/SSI et le H MOS concurrencent la T²L Schottky et les microstructures sur silicium sur isolant (SCMOS de L canal ≤ 2 μm) permettront de remplacer les fonctions logiques ECL actuelles mais avec une consomma-

tion par porte bien inférieure (facteur 10 à 100) et une complexité des circuits intégrés nettement augmentée (facteur 3 à 5).

3. MICROSTRUCTURES SUR SSI

Les lois de diminution des géométries appliquées aux dispositifs MOS sur substrat massif [16] s'appliquent aux silicium sur isolant et d'une façon peut-être plus immédiate car il est possible de diminuer l'épaisseur de la couche de silicium épitaxiée sans trop perturber ses propriétés. On a représenté (fig. 7), l'effet de l'application d'un facteur d'échelle S aux géométries actuelles pour réaliser une microstructure sur silicium sur isolant. En plus des modifications usuelles des dimensions et du dopage sur silicium massif, il est souhaitable de diminuer l'épaisseur de la couche de silicium épitaxiée sur corindon (diminution des marches, des capacités parasites, augmentation de la tension de perçage...).

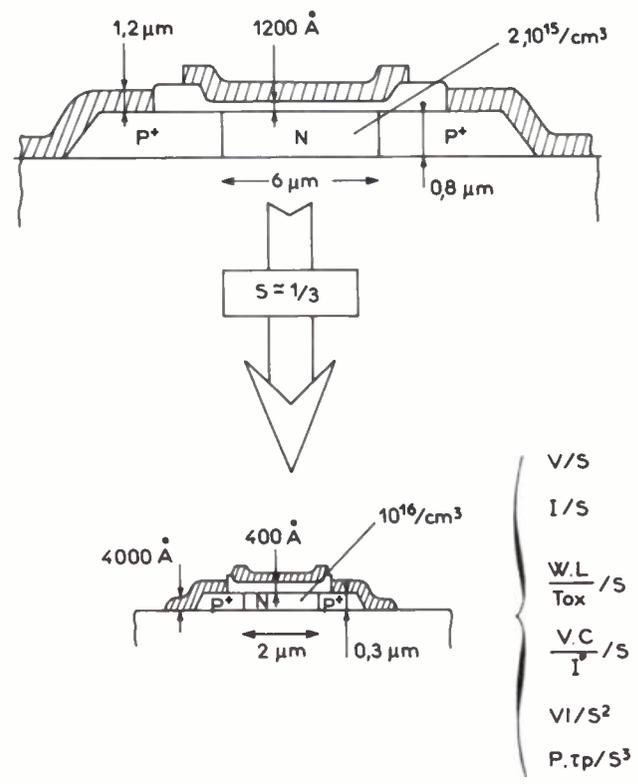


Fig. 7. - Lois de réduction des dimensions pour le transistor MOS sur SSI. Conséquences sur les grandeurs électriques.

A titre expérimental nous avons réalisé de telles structures sur des couches de silicium de 0,27 μm épitaxiées sur corindon. Les principales valeurs mesurées des paramètres sont données sur la figure 8. On peut remarquer que les valeurs des mobilités superficielles restent très correctes, les courants de fuites étant tout à fait acceptables (compatibles avec les normes de production).

Par ailleurs, les résistances associées aux zones diffusées de source et de drain ne sont pas gênantes pour le fonctionnement statique ou dynamique des portes logiques.

CARACTERISTIQUES PHYSIQUES

$X_{OX} = 100 \text{ nm}$ $L_C = 5 \mu\text{m}$
 $N_D = 4 \cdot 10^{15} / \text{cm}^3$ $N_A = 3 \cdot 10^{16} / \text{cm}^3$

CARACTERISTIQUES ELECTRIQUES

	CANAL N	CANAL P
V_T (volts)	1	-2,7
μ (cm ² /v.s)	340	190
I_{σ} (pA/ μm)	200	7
R_{σ} (Ω)	N* 130	P* 90

Fig. 8. — Résultats expérimentaux obtenus sur du silicium mince sur corindon.

4. EXEMPLE DE RÉALISATION DE CIRCUIT

Comme il est indiqué dans les paragraphes précédents, la technologie CMOS/SSI permet, avec les règles de conception actuelles, de réaliser des circuits intégrés ayant des performances en vitesse analogues aux circuits intégrés bipolaires en logique TTL. Elle autorise une économie très importante en puissance consommée tout en permettant des complexités de circuits plus élevées (facteur 3 environ).

A titre d'exemple, et sans vouloir illustrer les possibilités maximales d'intégration de la technologie CMOS/SSI, nous avons comparé ci-dessous (tableau I) les caractéristiques d'un circuit intégré en CMOS/SSI fabriqué par la Société EFCIS et réalisant la même fonction qu'un circuit intégré en TTL-LS (four bit slice microprocessor équivalent à l'AM 2901).

TABLEAU I

	TTL-LS	CMOS-SOS
<i>Technologie</i>		
• règles de conception (μm)	6,4	7*
• surface de la puce (mm ²)	21	16,6
• nombre de masques	10	8
<i>Circuit (valeurs typiques)</i>		
• tension d'alimentation (volts)	5	10
• puissance consommée (mw)	800	10 à 40
• vitesse opération lecture-modification-écriture (nsec)	105	100
retard sortie par rapport aux horloges (nsec)	85	100
F_{max} registres (MHz)	9,5	9,5

* avec longueur des canaux = 4 μm

On remarque, bien que la technologie CMOS/SSI ne soit pas placée dans son meilleur cas d'utilisation (complexité faible, importance relative élevée des temps de traversée des « buffers »), que pour des performances équivalentes en vitesse on mesure une consommation 20 fois plus faible (pire des cas) avec la technologie CMOS/SSI.

C'est un avantage essentiel pour cette technologie qui

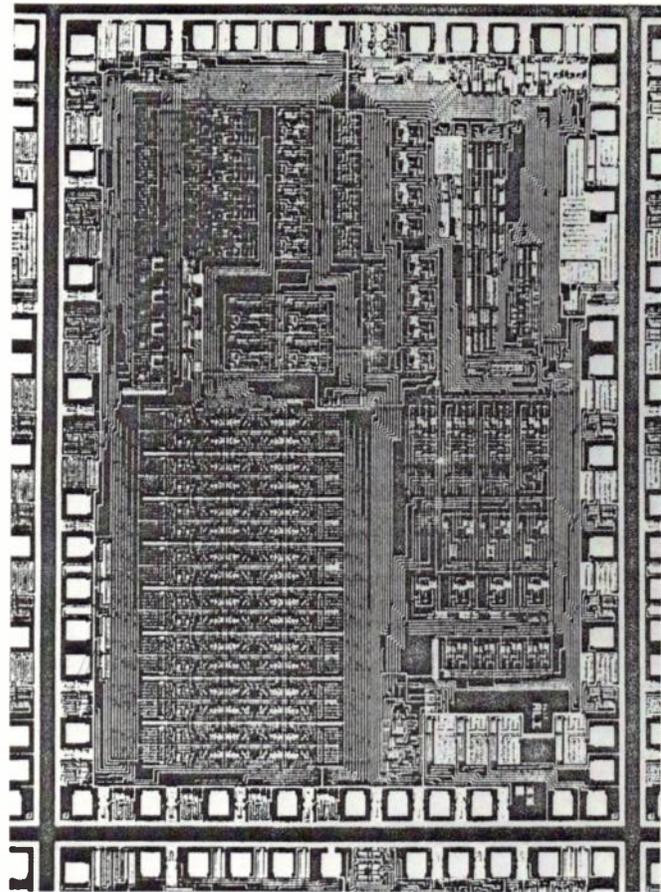


Fig. 9. — Microprocesseur bit slice en technologie CMOS/SSI (EFCIS).

serait encore bien mieux mis en évidence dans un circuit plus complexe comme nous le verrons au paragraphe suivant.

La figure 9 représente une vue du circuit (en CMOS/SSI) dont les caractéristiques sont données ci-dessus.

5. LE SILICIUM SUR ISOLANT ET LA VLSI

Grâce à la possibilité de réaliser des structures complémentaires et de diminuer les capacités parasites associées aux éléments actifs du circuit à transistors MOS, le silicium sur isolant est un matériau très bien adapté à la réalisation de circuits très denses ayant des consommations raisonnables. A titre d'exemple, nous avons comparé (fig. 10), deux technologies dans le plan surface-puissance consommée en indiquant ce qui nous semble être une limite raisonnable de puissance consommée pour une puce : 1 watt.

Ces technologies sont :

- le canal N grille silicium sur substrat massif,
- le CMOS sur substrat silicium sur isolant.

Le décalage horizontal des courbes est lié au fait que pour les structures complémentaires, c'est essentiellement la consommation dynamique qui compte et il est dû :

- d'une part à une diminution des capacités parasites dans le cas du CMOS/SSI,
- d'autre part, au fait que la structure complémentaire ne consomme (en dynamique) que lorsque les portes sont en commutation (20 % de portes fonctionnant à f_{max} en moyenne).

A titre d'exemple on a porté sur ces courbes :

- les caractéristiques du microprocesseur de Intel (8080) ayant 5000 TMOS, à canal N, et consommant 800 mwatts pour une surface occupée de 23,2 mm²,

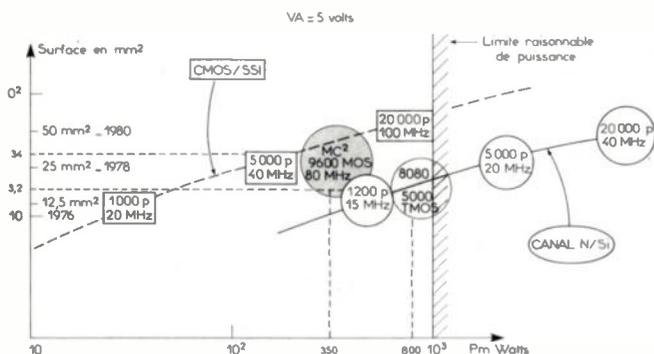


Fig. 10. — Comparaison des technologies monocal N et CMOS/SSI pour la VLSI.

— les caractéristiques du microprocesseur de Hewlett Packard (MC2) ayant 9600 MOS, en CMOS/SOS grille aluminium planox et ne consommant que 350 mwatts pour une surface occupée de 34 mm² [17].

Il ne faut pas considérer que seule la technologie CMOS permet de réduire la consommation des portes en statique.

En effet, toute disposition permettant d'éviter la consommation au repos est intéressante : logique 4 phases, charges « clockées »... pourvu qu'elle n'entraîne pas des complications du point de vue de la conception ou une densité de portes trop faible.

CONCLUSION

Nous pouvons dire que la technologie silicium sur isolant est arrivée à maturité car elle commence à être exploitée industriellement (RCA, Hewlett Packard, Hughes, EFCIS...). Les progrès les plus récents à noter concernent :

— l'amélioration de la qualité du matériau qui se traduit par une diminution de la valeur des courants de fuite des canaux N (structures N⁺PN⁺). Ce n'est plus un problème au niveau circuit. Par ailleurs, de nouvelles techniques de croissance du corindon se sont avérées très intéressantes (corindon Verneuil [18] [19] [20]) et permettent de réaliser ce jour des substrats de 3 pouces de diamètre. La technique de tirage en rubans (TYCO) s'est aussi améliorée et l'on espère pouvoir utiliser les rubans sans polissage (« as grown »). Ceci ramènerait le coût du substrat corindon très proche de celui du silicium massif (coût de 5 \$ pour le corindon et moins de 2 \$ pour l'épitaxie à comparer à 5 \$ pour le silicium massif),

— le développement de produits déjà utilisés dans des systèmes en dehors des applications militaires [21] ; c'est le cas actuellement chez Hewlett Packard pour les imprimantes rapides (6 puces SSI dont une puce microprocesseur), les terminaux (mémoire morte), les systèmes de mesure et contrôle [22].

Au cours de l'année 1978, Hewlett Packard prévoit d'utiliser les circuits SSI dans les calculateurs.

Signalons par ailleurs que le SSI a très bien démarré pour les circuits à la demande à la Société EFCIS. De 6 projets par an en 76 et 77 l'activité SSI est en train de prendre 30 à 40 % de l'activité conception de cette firme en 1978. Et au-delà des applications militaires, les secteurs concernés sont :

- la mesure (équipement portable),
- les télécommunications,

- les applications professionnelles,
- et plusieurs réalisations sont prévues dans le domaine grand public.

Dans le domaine de l'analogique [23] les structures SSI permettent de réaliser des amplificateurs, comparateurs, convertisseurs analogiques numériques... de hautes performances (rapidité) et l'isolement naturel des éléments les rendent utilisables dans des applications haute tension [24]. La technologie utilisée est la même que celle réalisant les fonctions logiques ce qui permet de mélanger ces fonctions dans le même circuit et augmenter ainsi la densité fonctionnelle des circuits.

Bibliographie

- [1] BURNS J.R. — « Switching response of complementary symmetry MOS transistor logic circuits », *RCA Rev.*, 1964, 25, 627-661 Déc.
- [2] HEIMAN F.P., ALLISON J.F., DUMIN D.J., MUELLER C.W. and ROBINSON P.H. — « Thin film silicon : preparation, properties and device application », *Colloque sur les propriétés et l'utilisation des structures-MIS Grenoble 17-20 juin 1969*. Édité par J. Borel, Centre d'Études Nucléaires de Grenoble — LETI 85 X 38041 Grenoble Cedex.
- [3] DUMIN D.J. — « Diffused diodes in silicon on sapphire », *Solid State Electron*, 1968 11, 353-363.
- [4] LYON-CAEN R. — « Transistors bipolaires et transistors MOS à enrichissement ; quelques points de comparaisons », *Onde Électrique*, 1975, 55, n° 9, 491-496.
- [5] *Electronic news*, Monday, August 23, 1971 p. 56.
- [6] BOREL J., SUAT J.P., BERNARD J. et GARCIA M. — « Utilisation de structures silicium sur isolant pour la réalisation de circuits intégrés MOS », *Onde Électrique*, 1974, 54, n° 3, 113-120.
- [7] NISHI Yoshio. — « Silicon on sapphire technology », *Conférence ESSCIRC, 1976, 21-24 sept. 76 à Toulouse. Session IP.VI pp. XII-XIII Solid State Circuits 1976*, Édition du Journal de Physique, Paris.
- [8] SCHLOTTERER H., PREUSS E. — « Silicon on sapphire devices : realization and properties ». *Conférence ESSDERC 1977, 12-15 sept. 77 à Brighton (Angleterre)*.
- [9] ALTMAN L. — « Memories », *Electronics*, January 20, 1977, 83-84.
- [10] *Electronics*, February 3, 1977, 35.
- [11] *Electronics*, October 13, 1977, 65.
- [12] LUPU N. — « Évaluation des technologies MOS et application à la conception d'un microprocesseur 4 bits », *Thèse, Docteur Ingénieur Institut National Polytechnique de Grenoble, 15 mars 1977*.
- [13] Mc GREIVY D.J. — « On the origin of leakage current in SOS MOS transistors », *IEEE Trans. Electron Devices* Vol. ED 24; pp. 730-738, 1977.
- [14] BOREL J. — *Advanced MOS technology : silicon on sapphire (SOS), UCLA Course, February 7-11, 1977*.
GRIS Y., BELLO Y. — « Amélioration de la densité d'intégration des circuits de grande complexité à TMOS sur SII », *Compte rendu final DGRST, n° 76 7 0652 GR 770-474*.
- [15] MORIN G. — « Durcissement de l'oxyde de grille de transistors MOS complémentaires sur silicium sur corindon », *Compte rendu final DRME n° 75/315 GR 770-408 N.T. LETI/MEA 1246 du 13 octobre 1977*.
- [16] *Electronics*, August 18, 1977 p. 99.
- [17] LAM-GIANG DANG, ASHKIN P.B. — Randall YEE and O'BRIEN M. — « A CMOS/SOS 16 bit parallel μ CPU ». *Proceeding of the ISSCC 77, February 17, 77, Philadelphie, p. 134, Session XII, THPM 12.1*.
- [18] RICARD J. — « Crystallisation of cylinder Verneuil sapphires three inches diameters », *First european conference crystal growth, Zurich, Sept. 76, paper E 21*.
- [19] CULLEN G.W. — « The preparation of the heteroepitaxial silicon substrate composite : what's new ? » 1977, *IEEE SOS Technology Workshop, Sep. 28-30, 1977, Vail, Colorado*.
- [20] BOREL J., TRILHE J. and RICARD J. — « The flame fusion technique : present state of the art at the material, device and circuit levels » *SOS Workshop, Sept. 28-30, 1977, Vail Colorado*.
- [21] *Electronics*, July 21, 1977, p. 33 *Electronics*, October 13, 1977, p. 49.
- [22] *Business week*, september 26, 1977, p. 120 A.
- [23] HAGON P.J. — « Analog signal processing with silicon on sapphire », 1975, *IEEE SOS technology workshop, Sept. 17-19, 1975. South Lake Tahoe, California*.
- [24] SHARMA D., GAUTIER J. and MERCKEL G. — « A high voltage SOS MOS circuit », *ESSCIRC 77, Sept. 20-22, 77, ULM (Allemagne). Digest of technical papers pp. 174-175*.
- [25] TRILHE J. — « Three dimensional distribution of twins in epitaxial silicon on sapphire », *J.E.S. 124, n° 8, August 1977, pp. 1209-1300*.

Circuits intégrés à très haute densité réalisés en technologie « IIL »⁽¹⁾

CIRCUITS INTÉGRÉS

L'onde électrique
1978, vol. 58, n° 1
pp. 818-82



© Masson, Paris 1978.

par Jacques FERTIN,

Ingénieur ICAM et ESE, Chef du Laboratoire de Développement avancé du Centre Industriel RTC de Caen.

et Jean-Claude KAIRE,

Ingénieur ISE P, Responsable des Circuits Intégrés I2L-10 K au Centre Industriel RTC de Caen.

RTC La Radiotechnique Compelec
BP 6025, 14001 Caen Cedex (tél
(31) 94.72.35).

RÉSUMÉ

La place qu'occupe l'I2L dans les circuits à très haute densité d'intégration s'affirme de plus en plus et les deux exemples présentés illustrent les propriétés spécifiques très avantageuses de cette logique. Les auteurs présentent ensuite les trois principaux axes actuels de recherche que sont les accroissements de densité d'intégration, de vitesse et de tenue en tension. Il est en effet possible d'obtenir simultanément, une densité intrinsèque de 400 portes/mm², un temps de propagation de 1 nS avec un facteur de mérite proche de 100 femto joules.

SUMMARY

IIL LSI IC's.

The place taken by I2L in LSI circuits asserts itself more and more and the two described examples illustrate the specific and advantageous properties of that logic. Then the authors present the three main to day research axis that is the increases of integration density, of speed and of voltage behaviour. It may be possible to get simultaneously, a 400 gates per mm² intrinsic density, 1 nS propagation delay and a close to 100 femtojoules merit factor.

INTRODUCTION

La logique à injection de courant, I2L, a maintenant acquis une position reconnue dans la gamme des circuits de très haute densité d'intégration et nombre de circuits catalogues ou clients utilisent cette conception.

En plus de ses propriétés spécifiques déjà publiées par ailleurs et qu'il est nécessaire de rappeler, pour situer cette logique parmi les autres, P MOS, N MOS, C MOS et SOS (à savoir un bon facteur de mérite, une faible tension d'alimentation et une forte densité d'intégration), on insistera ici sur la compatibilité de cette logique avec les fonctions analogiques et avec les organes de sortie de puissance.

La seconde partie sera consacrée aux évolutions principales que l'on peut envisager à propos des logiques bipolaires à haute densité c'est-à-dire : accroissement de la densité d'intégration, de la vitesse de commutation et de la tenue en tension des parties linéaires associées sur le même cristal. Il est intéressant de noter ici que ces trois directions de recherche participent ensemble à la diminution du coût. La première est évidente surtout au niveau du circuit lui-même. La seconde moins évidente au niveau du composant à cause de l'accroissement de complexité du procédé qu'elle laisse paraître doit le redevenir au niveau de la fonction électronique satisfaite. En définitive n'est-ce pas au niveau du système électronique que la réduction du coût doit se faire sentir ?

Le traitement en série du signal que permet une logique à très haute densité et très rapide ne serait-il pas plus économique que le traitement parallèle que permettent les

logiques actuelles modestement rapides ? Quant à la troisième direction il est encore tôt pour en sentir les conséquences au niveau du coût (diminution du nombre de composants discrets pour réaliser les interfaces).

ÉTAT DE L'ART DE LA TECHNOLOGIE I2L

Il nous semble nécessaire de rappeler par la figure 1 la représentation logique de cette technologie telle qu'elle avait été présentée par ses inventeurs [1, 2] en 1972 ; elle n'impose pas un nouveau procédé de réalisation des circuits intégrés numériques mais un nouveau mode de fonctionnement électrique mettant en œuvre des transistors bipolaires. La vue en coupe *d* montre que la réalisation de la logique I2L est compatible avec celle de transistors conventionnels. La base du PNP servant à l'injection est aussi l'émetteur du transistor NPN multicollecteur de même que le collecteur du PNP est la base de ce même multicollecteur.

Si on applique cette conception à la filière technologique utilisée pour la famille de circuits ECL 10 000, on constate la bonne compatibilité entre les propriétés des transistors de base élaborés dans cette filière avec les propriétés nécessaires au bon fonctionnement de la porte I2L élémentaire : large gamme de courant de fonctionnement, constance du gain en inverse. Cette filière est caractérisée par ailleurs par un F_T supérieur à 1 GHz, un double niveau d'interconnexions et une grande finesse du trait.

Les performances principales sont d'ailleurs rappelées par la figure 2. Précisons aussi que la fiabilité d'I2L est excellente car non seulement les courants sont faibles mais les jonctions sont polarisées au maximum à 0,5 V en inverse.

⁽¹⁾ Article issu de la journée d'études de la SEE du 7 décembre 1977, reçu le 28 février 1978 et accepté dans sa forme définitive le 25 septembre 1978.

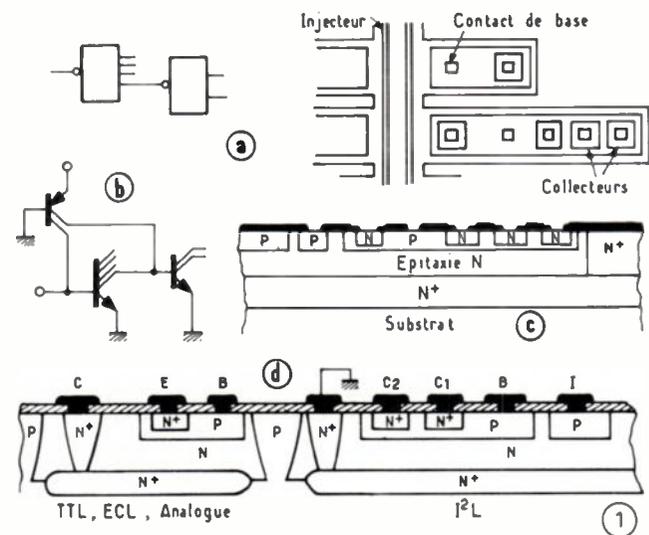


Fig. 1. — Représentation logique de deux portes I2L en cascade (a) et schéma électrique correspondant en b ; les courants base et collecteur des transistors NPN proviennent de transistors PNP d'injection latéraux à multicollecteurs. En c, topologie de principe : les transistors NPN fonctionnent en inverse (la couche enterrée constitue l'émetteur). L'isolement entre portes est assuré par une diffusion profonde N⁺. Le dessin représente la topologie classique de la I2L (configuration dite perpendiculaire à l'injecteur). Pour gagner en vitesse, on peut placer le grand côté du transistor NPN en regard de l'injecteur (structure parallèle). Enfin, en d, vue en coupe : la réalisation de la I2L est compatible avec celle de transistors conventionnels. La base du PNP d'injection est aussi l'émetteur du NPN de même que le collecteur du PNP est la base du NPN.

Un premier exemple [3, 4] de réalisation est représenté figure 3. Il concerne un circuit complexe englobant des

fonctions difficiles voire impossibles à intégrer aisément sauf en I2L : en effet, il contient dans sa partie droite un oscillateur à 4,8 MHz, un diviseur en logique miniwatt, en bas des amplificateurs opérationnels à très bas niveau de courant, un convertisseur numérique analogique, au centre la logique proprement dite équivalent à 470 portes et sur la partie gauche le régulateur de tension capable de supporter 100 mA de courant de ligne.

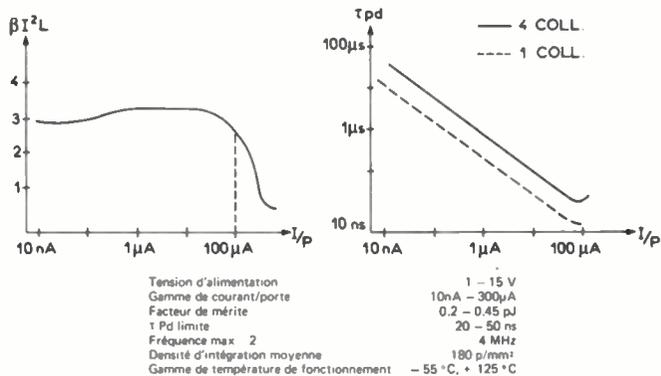


Fig. 2. — Performances I2L - 10 K.

Pour être complète la fonction ne nécessite que les éléments supplémentaires suivants : 1 quartz, 1 condensateur pour le régulateur de tension, le clavier, une résistance de réglage de niveau de sortie, la capacité de filtrage et le pont de zener de protection contre la foudre. Le circuit répond aux normes CCIT et peut fonctionner sous 1,5 V.

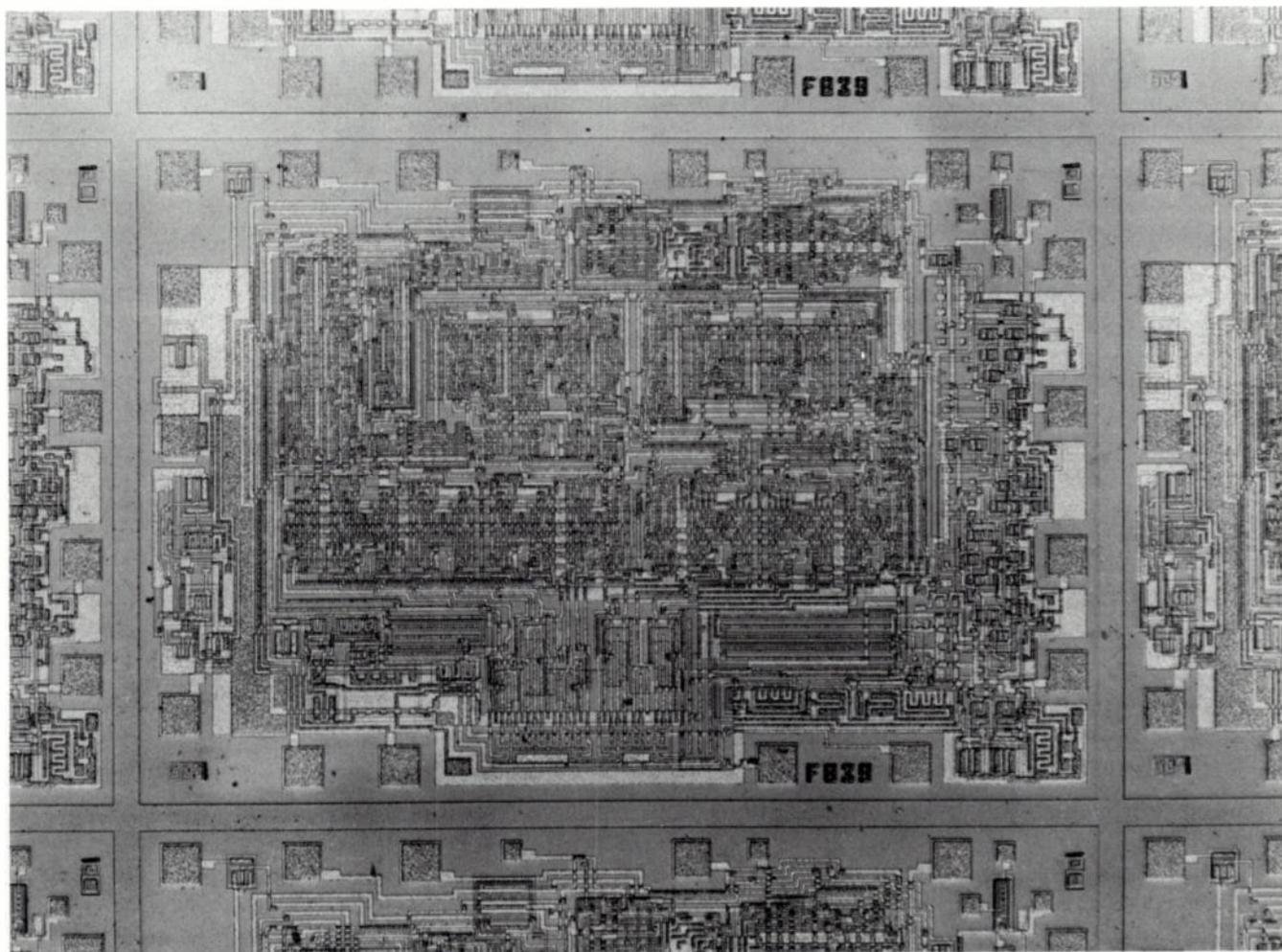


Fig. 3. — Circuit de téléphonie pour poste à clavier à fréquences vocales.

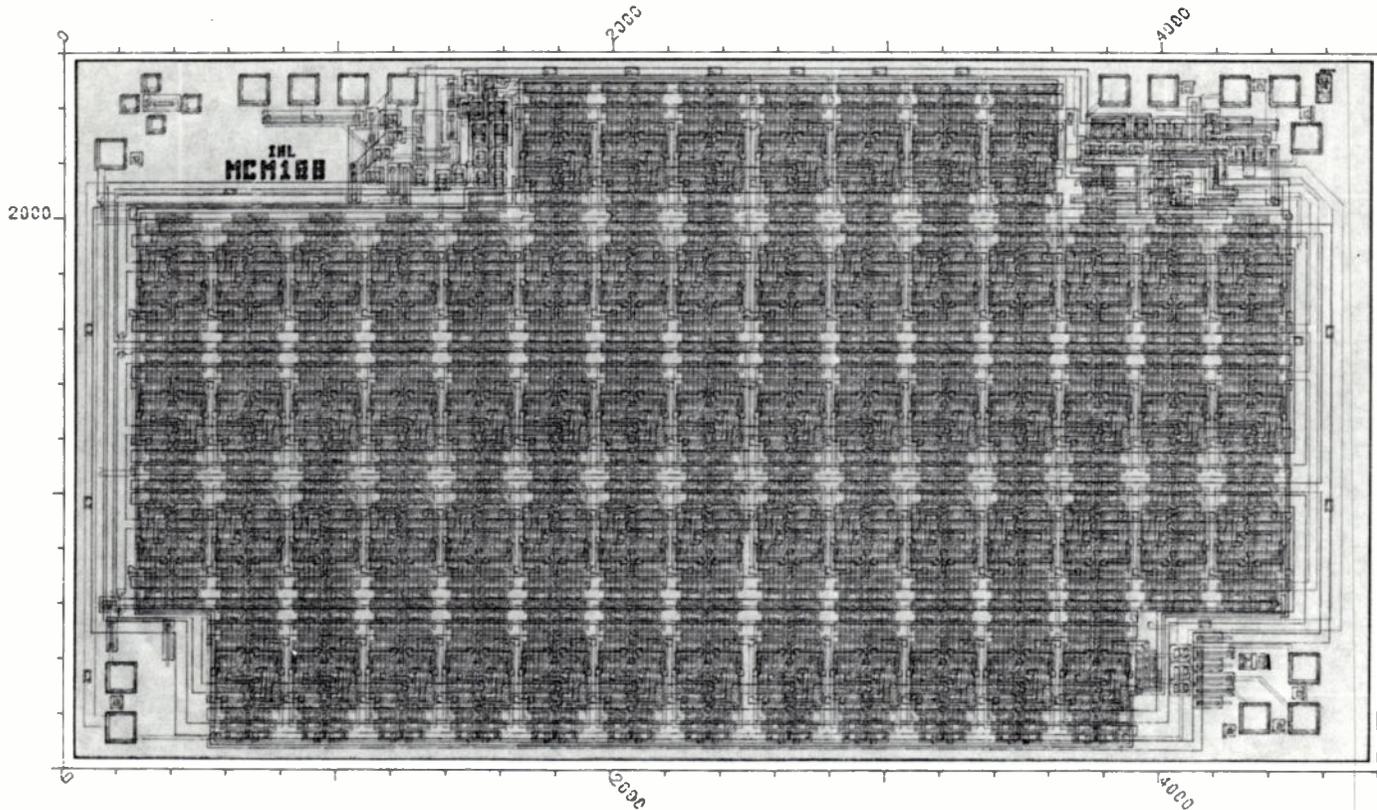


Fig. 4. — Circuit I2L intégré numérique à très haute densité. (Marché SEFT 505.239.50).

Le second exemple concerne un circuit spécial dont une représentation à l'échelle 30 est présentée figure 4, où deux propriétés intrinsèques de I2L sont particulièrement avantageuses. La haute densité d'intégration a permis de placer les 1 700 portes sur un cristal de 12 mm^2 , ce qui correspond à une densité intrinsèque (hors interfaces et plages) de 220 p/mm^2 . La faible consommation illustre la seconde propriété ; en effet le cahier des charges exige un fonctionnement (sur alimentation de secours, en cas de panne), grâce à une pile de 1,5 V avec un courant maximum de $50 \mu\text{A}$ l'ensemble correspond à un courant de maintien de 10 nA par porte pour le pire cas.

Ces deux exemples permettent de conclure que grâce à ses particularités déjà citées, I2L actuelle trouve des applications dans les domaines professionnels, grand public, électroménagers et télévisions.

ORIENTATIONS FUTURES

Les trois axes de développement de la technologie I2L peuvent être définis comme l'accroissement de la densité d'intégration, l'accroissement de la vitesse de commutation et l'accroissement de la tenue en tension si l'on veut à la fois baisser les coûts du système, et élargir leur domaine d'application.

1. Accroissement de la densité d'intégration

Elle peut provenir principalement d'un nouveau mode d'obtention des isollements entre les éléments du circuit. En particulier l'isolement par SiO_2 [5] tel que celui que procure la filière Subilo, utilisée aussi pour la famille ECL 100 K, permet de gagner un facteur voisin de 7 entre les aires du transistor élémentaire du procédé 10 K, $4\ 800 \mu^2$ et celle du

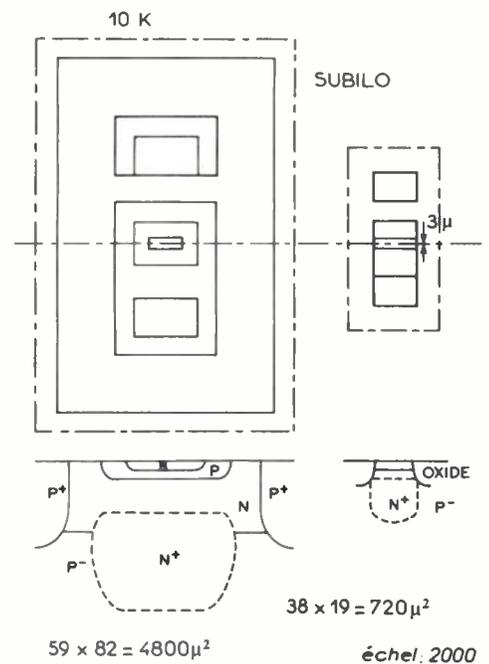


Fig. 5. — Diminution de l'encombrement et accroissement de la vitesse de la porte I2L grâce à l'emploi du procédé Subilo.

procédé Subilo, $720 \mu^2$ conformément à la figure 5 ; la largeur d'émetteur restant presque constante et égale à 3μ .

Notons de plus que, dans cette filière, le gain dans la troisième dimension que matérialise une couche épitaxiale plus fine, apporte aussi une plus grande densité d'intégration au détriment cependant d'une tenue en tension plus faible.

2. Accroissement de la vitesse

De nombreuses solutions ont été envisagées pour accroître la vitesse de I2L et la figure 6 en présente les principales :

l'antisaturation du transistor NPN peut être obtenue [6] soit par contre-réaction collecteur base soit par l'emploi d'une diode Schottky repérée [1] telle que déjà présentée [7] sous l'appellation C3L Complementary Constant Current Logic. Un perfectionnement supplémentaire de cette structure vient du fait que l'excursion logique est limitée grâce à la nature différente des diodes Schottky de sortie repérée [2]. C'est ainsi qu'elle est limitée à 200 mV si la première diode est en platine et les secondes en titane tungstène.

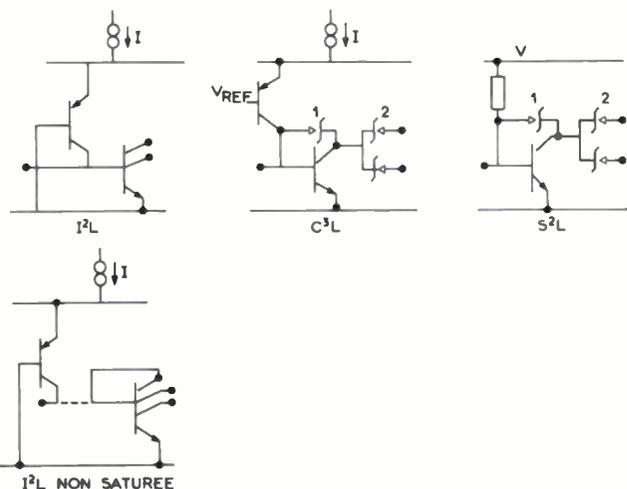


Fig. 6. - Schéma de principe des solutions possibles pour accroître la vitesse de la porte I2L.

Une autre configuration possible appelée S2L est aussi présentée figure 6, dans laquelle le PNP d'injection est remplacé par une résistance de forte valeur.

Il est important de noter que l'augmentation de la densité d'intégration présentée paragraphe 3-1 se traduit aussi par un accroissement de la vitesse du fait principalement de la réduction des capacités.

Les figures suivantes 7, 8 et 9 illustrent parfaitement les améliorations considérables obtenues grâce à la nouvelle filière utilisée et à l'artifice des diodes Schottky. Pour une sortance de 3 qui est la valeur la plus couramment rencontrée en LSI, il est intéressant de noter des densités d'intégration intrinsèques, c'est-à-dire ne tenant pas compte des règles d'interconnexions, allant de 260 portes par mm² en procédé 10 K à 900 en I2L dense et passant par 640 pour la S2L.

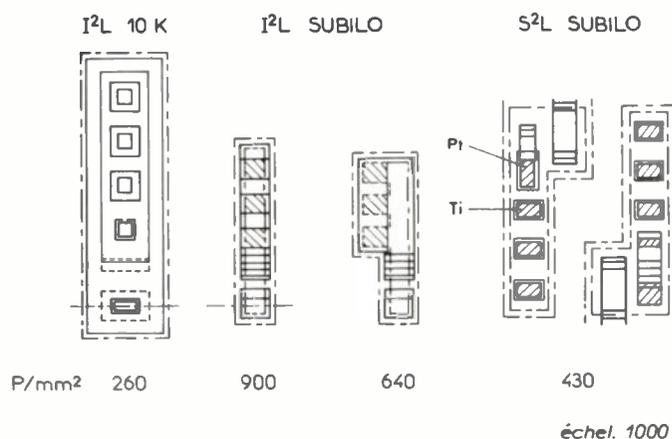


Fig. 7. - Vue de dessus des différentes structures de portes logiques (3 collecteurs) bipolaires LSI.

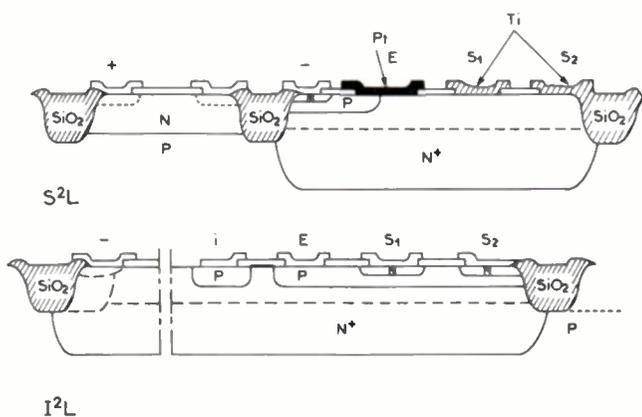


Fig. 8. - Vue en coupe des portes I2L et S2L en procédé Subilo.

		Sortance			
		1	2	3	4
I2L 10 K		412	318	259	218
Isolement par SiO ₂	I2L dense	1 633	1 153	891	726
	I2L rapide	1 318	859	637	506
	S2L	630	509	430	371

Fig. 9. - Comparaison des densités intrinsèques d'intégration des différentes logiques bipolaires LSI.

Sur le diagramme de la figure 10 représentant le délai de propagation de la porte élémentaire en fonction du courant qu'elle consomme, on retrouve les 3 types de résultats attendus : gamme des 100 à 30 ns selon la sortance en procédé 10 K, gamme des 30 à 8 ns en procédé Subilo. Quant à la S2L, des résultats préliminaires et des calculs de simulation autorisent à prolonger la courbe dans le domaine subnanoseconde. Il faut ici rappeler que les deux premiers résultats sont valables dans toute la gamme de température.

3. Accroissement de la tenue en tension

Il s'agit là d'un domaine d'application plus lointain qui élargirait la gamme d'utilisation de la logique I2L pour des circuits LSI comportant des interfaces de puissance. Trois possibilités parmi d'autres [8] sont présentées figure 11. La solution repérée a) nécessite un masque supplémentaire et une deuxième couche épitaxiale ; la seconde b) fait appel à un masque supplémentaire pour l'émetteur du transistor, la porte I2L restant inchangée ; la troisième c) utilise elle aussi un masque supplémentaire pour l'élaboration d'une couche enterrée N⁺ adaptée à la porte I2L.

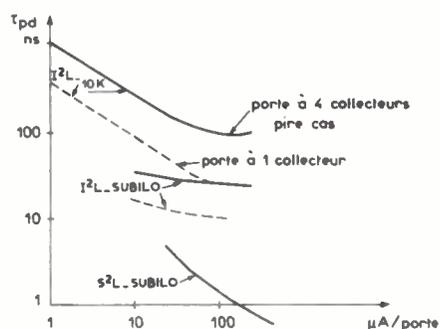


Fig. 10. - Comparaison des temps de propagation des logiques bipolaires LSI.

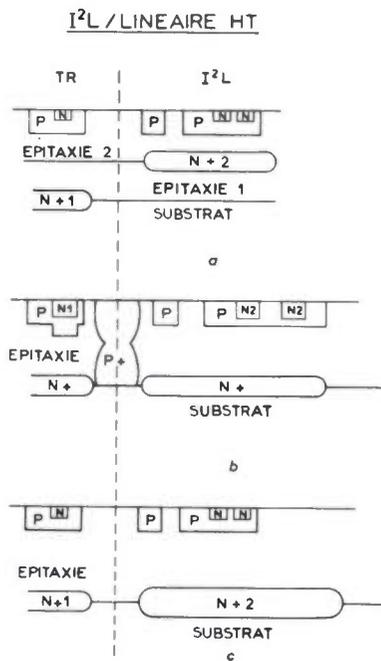


Fig. 11. — Possibilités de rendre compatibles porte I²L et transistor haute tension.

CONCLUSION

La combinaison de fonctions logiques et analogiques sur un même circuit à très haute densité d'intégration est depuis quelques années possible grâce à la I²L. Aujourd'hui de nombreux circuits catalogue ou clients sont en production. Les résultats de laboratoire laissent entrevoir pour les prochaines années des performances très prometteuses concernant la vitesse, la complexité (densité d'intégration) et le linéaire (haute tension).

Bibliographie

- [1] BERGER M. M. and WIEDMAN S. K. — Merged Transistor Logic. *IEEE J. Solid State Circuits*, vol. SC 7, p. 340-346, October 1972.
- [2] HART K. and SLOB A. — Integrated Injection Logic. *IEEE J. Solid State Circuits*, vol. SC 7, p. 346-351, October 1972.
- [3] Escirc. — Toulouse, 24 septembre 1976.
- [4] JANSSEN D. J. G., KAIRE J. C. and GUETIN P. — TDA 1077 an I²L circuit for two tones telephone dialing. *IEEE J. Solid State Circuits* vol. SC 12, p. 238 à 242, June 1977.
- [5] SANDER W. B. and EARLY J. M. — A 4096 × 1.13L. Bipolar Dynamic Ram ISSCC Digest of Technical Papers, p. 182-183, February 1976.
- [6] MULDER C. and WULMS H. E. J. — High Speed Integrated Injection Logic (I²L). *IEEE J. Solid State Circuits*, vol. 11, p. 379-385, June 1976.
- [7] PELTIER A. W. — A new Approach to bipolar LSI : C3L IEEE ISCC 75. *Digest of Technical papers*, p. 168-169, February 1975.
- [8] BERGMAN G. — Linear Compatible I²L Technology... *IEEE J. Solid State Circuits*, vol. SC 12, p. 566-572.

Exploration et contrôle d'une technologie MOS LSI par « véhicule-test » ⁽¹⁾

CIRCUITS INTÉGRÉS

L'onde électrique
1978, vol. 58, n° 12
pp. 823-829



par J. M. LAGORSSE,

Ancien élève de l'École Polytechnique Fédérale de l'Université de Lausanne, Ingénieur en Chef, Responsable du Département Semiconducteurs.

et F. LEFEBVRE,

Docteur III Cycle, Ingénieur au Département Semiconducteurs.

LTT, BP n° 5, 78702 Conflans Sainte-Honorine (tél. : 919.45.45).

RÉSUMÉ

Nous avons décrit dans cet exposé un circuit de contrôle appelé véhicule test et destiné à la caractérisation et au suivi d'un procédé de fabrication LSI ; il est constitué de motifs de test indépendants qui permettent d'isoler les étapes critiques de réalisation, d'analyser l'interaction entre les règles de dessin et la technologie et de juger la fiabilité du procédé.

SUMMARY

A test structure for characterisation and control of a MOS Large Scale Integrated technology.

A test structure is described for characterisation of particular process for the fabrication of Large Scale Integrated (LSI) circuits. Independent test structures were developed to isolate various critical processing steps, analyse design-rule technology interaction and estimate process reliability.

INTRODUCTION

La complexité du processus de réalisation des circuits intégrés amène le fabricant à la mise en œuvre d'un élément de contrôle aussi riche que possible en informations qu'il appelle véhicule test. Ce dernier est destiné à contrôler l'ensemble des paramètres liés au procédé et de surveiller une fabrication à ses diverses étapes.

La nature de ces informations est multiple. Elle intéresse l'ensemble des parties prenantes d'une organisation de fabrication de circuits intégrés LSI-MOS. Elle apporte des éléments de mesure, d'une part aux études, qui sont intervenues au niveau de la mise au point des procédés, d'autre part aux chaînes de lancement afin d'effectuer des contrôles réguliers et garder un flux de fabrication identique à lui-même.

En outre le véhicule test est un outil de travail précieux pour la conception car il lui permet de vérifier les programmes de simulation et les modèles mathématiques ; enfin un certain nombre de ces éléments sont de nature à donner des informations relatives aux essais d'environnement, au groupe de fiabilité.

Le véhicule test (fig. 1) est constitué de motifs de test indépendants qui permettent l'exploration, la caractérisation et la surveillance de tous les paramètres sensibles liés à un procédé de fabrication LSI. Dans tous les cas l'exploitation des mesures est effectuée sur des équipements permettant le prélèvement d'un grand nombre d'informations (testeurs programmables) qui sont traitées dans un délai aussi court que possible afin que les parties prenantes d'une

organisation de fabrication de circuits intégrés puissent travailler sur des résultats et des répartitions statistiques.

Certains éléments sont exploités systématiquement par prélèvements journaliers ou hebdomadaires sur chaque plaque qui compte au minimum 2 véhicules tests parmi les circuits qui sont quelconques. Leurs mesures sont privilégiées lors de la mise au point d'une technologie nouvelle et au cours de périodes critiques de réglages d'équipements ou d'événements extérieurs aléatoires susceptibles d'avoir une influence sur une dérive technologique. En outre elles sont traitées par les équipes de fiabilité afin de cumuler des informations sur les comportements à long terme et lors de l'évaluation des énergies d'activation.

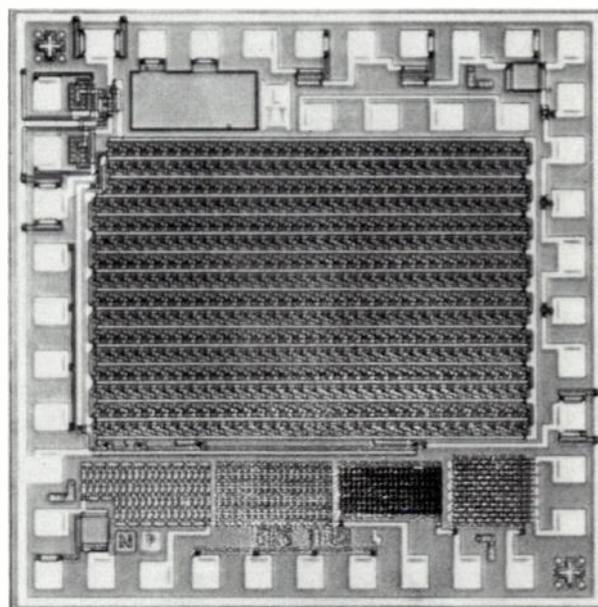


Fig. 1. — Vue d'ensemble d'un véhicule test.

(1) Article issu de la journée d'études du 7 février 1978, reçu le 28 février 1978 et accepté dans sa forme définitive le 25 septembre 1978.

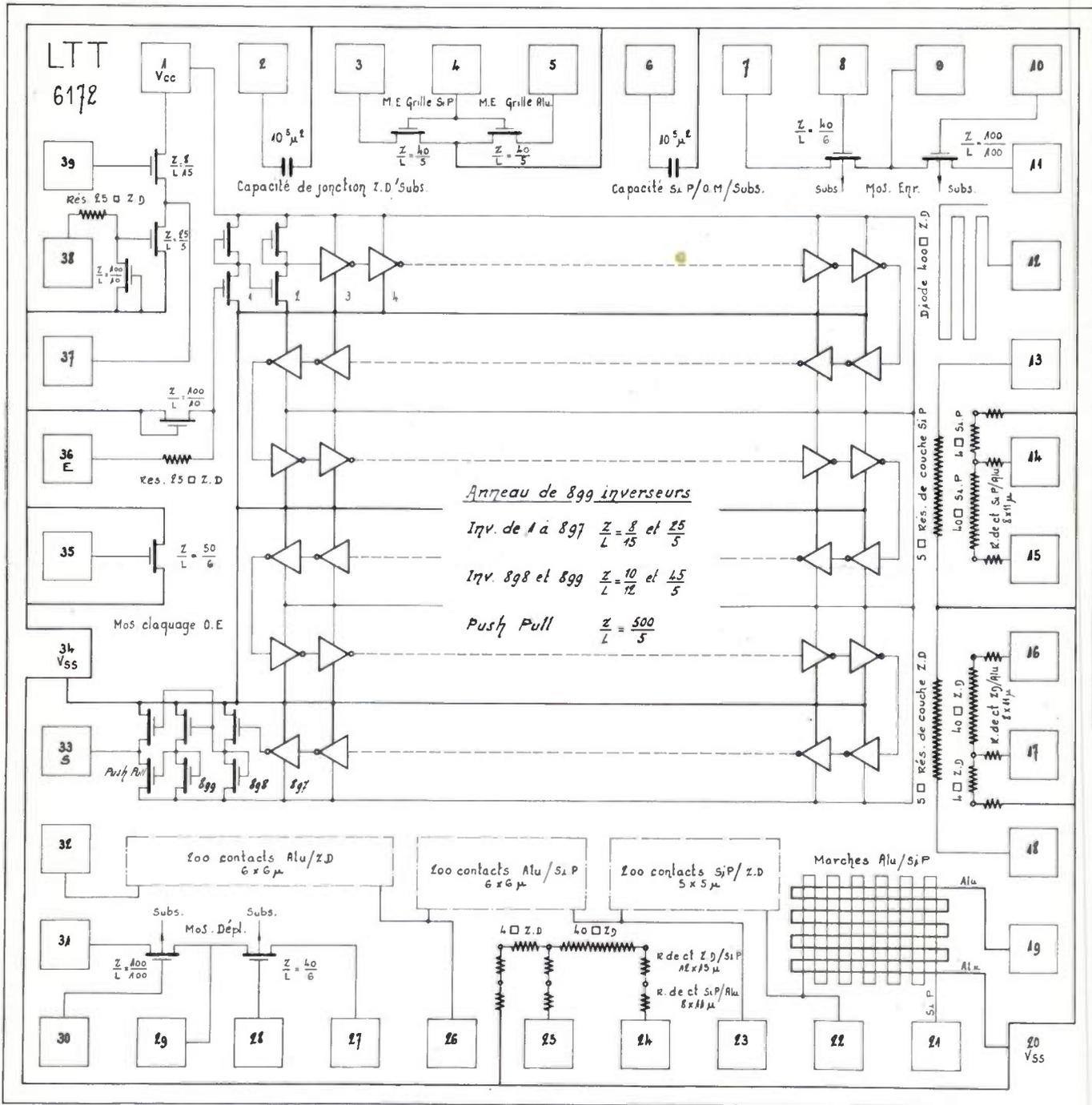


Schéma électrique de la figure 1.

Nous allons successivement faire quelques commentaires sur les informations destinées aux groupes cités ci-dessus et intéressés au procédé de fabrication.

RELATION AVEC LA TECHNOLOGIE

Les informations caractéristiques de la technologie, épaisseur et résistance de couche, indice et capacité d'oxyde mince, état d'interface et gravure, sont l'objet de mesures systématiques au cours de la fabrication et constituent le « contrôle de chaîne ». Cependant dans le cadre du véhicule test toute information de ce type peut être reprise à la fin de l'ensemble des opérations et des renseignements complémentaires peuvent être obtenus par des mesures sur les motifs de test indépendants; ils caractérisent les points sensibles du procédé. Ces derniers sont présentés sur la

coupe d'un transistor témoin (fig. 2), ce sont les suivants :

- Marches d'aluminium et de silicium polycristallin.
- Résistivité d'aluminium et de silicium polycristallin.
- Résistance de couche des zones diffusées.
- Résistance de contact aluminium/zone diffusée,
- Résistance de contact aluminium/silicium polycristallin.
- Résistance de contact silicium polycristallin/zone diffusée.
- Résistance de contact silicium polycristallin aluminium/zone diffusée.
- Capacité d'oxyde mince.

Examinons maintenant les motifs de test utilisés ainsi que les mesures qui leurs sont associées.

Un premier ensemble de motifs auquel des mesures de résistances sont associées correspond à la caractérisation des

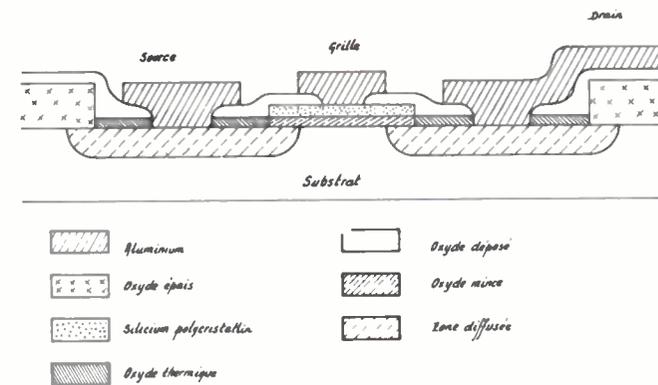


Fig. 2. - Vue en coupe d'un transistor témoin.

différentes marches, des résistances de couches des zones diffusées et des dépôts d'aluminium et de silicium polycristallin ainsi que de l'ensemble des contacts qui peuvent entrer dans le procédé technologique.

Ainsi pour juger la qualité des dépôts que nous venons de citer et leur gravure, la superposition de bandes de silicium polycristallin et d'aluminium sur des ouvertures d'oxyde épais, c'est-à-dire dans la configuration la plus défavorable, constitue un élément de contrôle de la continuité de ces deux matériaux (fig. 3).

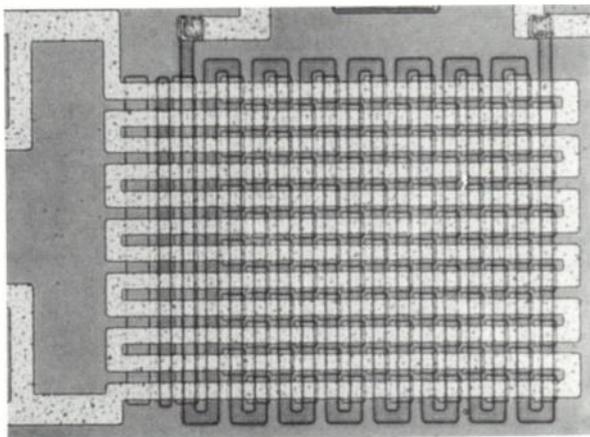


Fig. 3. - Motif de test : marches de silicium polycristallin et d'aluminium.

De même l'importance des résistances de contact entre les divers matériaux mis en présence a justifié l'implantation sur le véhicule test de motifs spécifiques pour les mesures. Il existe deux types de motifs qui permettent des mesures complémentaires et qui, utilisés au cours du procédé de fabrication, concernent chaque étape où deux matériaux conducteurs différents sont en contact.

Le premier de ces deux types est constitué (fig. 4) de trois bandes d'où nous tirons la résistance de contact spécifique ($R_c \Omega\text{cm}^2$) des deux matériaux mis en présence indépendamment de la géométrie; il permet en outre des mesures de résistance de couche ($R_s/\square \Omega/\square$).

Quand un courant circule entre les plots 1 et 2, la chute de tension entre 1 et 2 s'écrit :

$$V_1 = R_1 I = \left(2 R_{ct} + R_s \frac{L_1}{W} \right) I$$

(R_{ct} résistance de contact d'un plot).

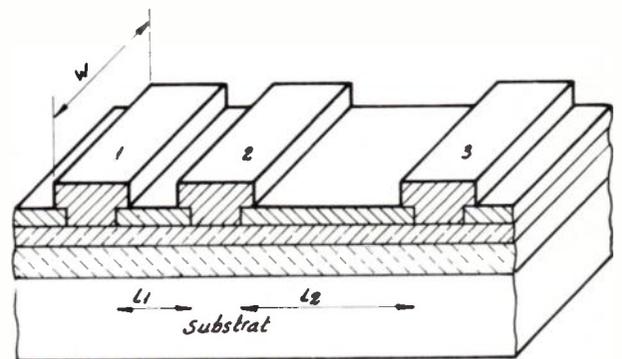
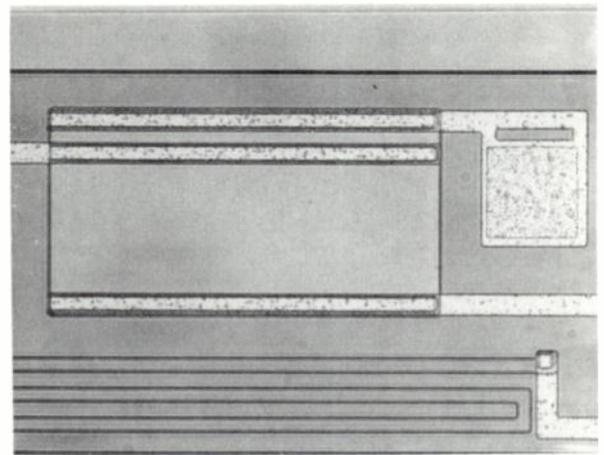


Fig. 4. - Motif de test : structure à trois contacts.

Dans le cas où le courant est maintenu entre les plots 2 et 3, la différence de potentiel entre ces deux derniers s'exprime par :

$$V_2 = R_2 I = \left(2 R_{ct} + R_s \frac{L_2}{W} \right) I.$$

A l'aide de ces deux expressions de V_1 et V_2 nous obtenons :

$$R_s/\square = W \frac{R_1 - R_2}{L_1 - L_2} \quad \text{et} \quad R_{ct} = \frac{L_2 R_1 - L_1 R_2}{2(L_2 - L_1)}.$$

Soit S la surface d'un plot : la résistance de contact spécifique R_c est égale à $R_{ct} \times S (\Omega\text{cm}^2)$.

Le second type (fig. 5) est constitué de quelques centaines d'ouvertures de contact, aux géométries de celles utilisées pour les circuits intégrés, disposées en série. Il contribue à la caractérisation directe des contacts mis en œuvre et à la synthèse entre la résistance spécifique dont nous avons parlé, la résistance de couche et la géométrie. Ce dernier point est lié directement à la qualité des gravures.

Un deuxième ensemble de motifs auquel des mesures de courant de fuite et de capacité sont associées correspond à la caractérisation des diodes diffusées, par des mesures de fuite en inverse et de claquage, et des capacités d'oxyde mince et

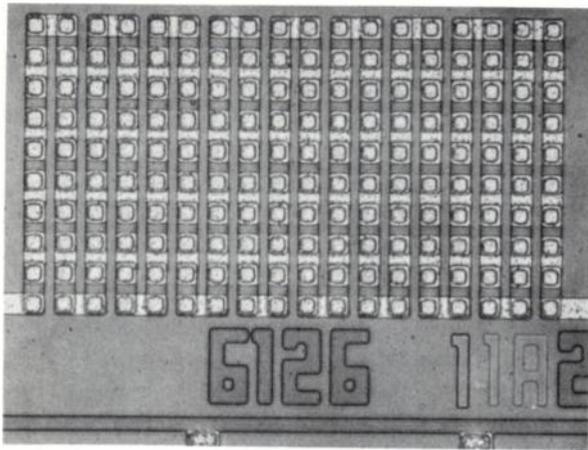


Fig. 5. — Motif de test : contacts en série.

de diffusion. Comme exemple nous présentons sur la figure 6 un condensateur de 1 mm² de surface dont les électrodes sont respectivement le substrat et le silicium polycristallin et le diélectrique est l'oxyde mince; il présente pour une épaisseur d'environ 1 000 Å de ce dernier une capacité de l'ordre de 35 pF.

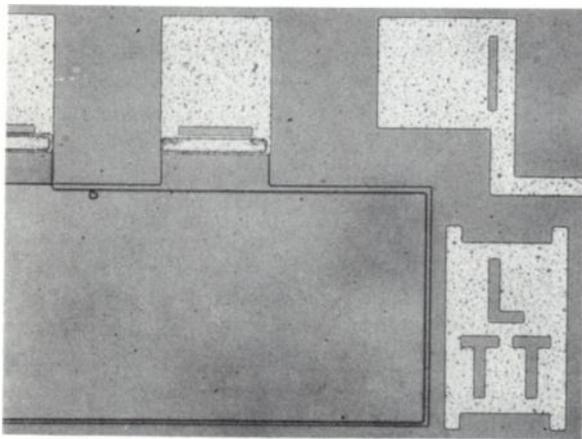


Fig. 6. — Motif de test : condensateur silicium polycristallin/oxyde mince/substrat.

L'ensemble des motifs que nous venons de décrire permet la caractérisation des paramètres du procédé de fabrication sous l'aspect « statique » de la structure. Leurs informations sont plus spécifiques d'une technologie donnée.

Les éléments qu'il est nécessaire de connaître maintenant correspondent au dispositif actif de base (MOS ou bipolaire) considéré comme l'individu élémentaire de l'intégration. Ainsi après avoir analysé la relation entre le véhicule test et la technologie nous allons développer les informations qui peuvent être recueillies par un autre groupe précédemment cité : la conception.

RELATION AVEC LA CONCEPTION

Une fonction importante du véhicule test est de contrôler l'ensemble des paramètres, caractéristiques de l'élément de base, qui correspondent à la numération du modèle mathématique. Rappelons les éléments qui constituent les contraintes technologiques pour le groupe conception (fig. 7) :

- Capacité de la grille par rapport au substrat.

- Capacités de recouvrement.
- Résistances série de la source et du drain.
- Diodes de la source et du drain par rapport au substrat.
- Résistivité du substrat.
- Règles technologiques en général.

La combinaison du modèle mathématique et de la technologie entraîne l'établissement des règles de dessin dont les éléments principaux sont les suivants :

- Tension de seuil et mobilité des MOS oxyde mince à enrichissement.
- Tension de seuil et mobilité des MOS oxyde mince à déplétion.
- Tension de seuil parasite des MOS oxyde épais à grille de silicium polycristallin et d'aluminium.
- Coefficient de substrat.
- Coefficient de limitation des courants en fonction de la longueur du canal.

Nous donnons dans les tableaux I et II les relations correspondantes dans les deux modes de fonctionnement possible, régime linéaire ou saturé, pour des transistors à enrichissement ou à déplétion qui sont respectivement à l'état bloqué ou passant quand $V_{GS} = 0$ avec :

- V_{TE} tension de seuil à enrichissement.
- V_{TD} tension de seuil à déplétion.
- C_{ox} capacité de la grille par rapport au substrat par unité de surface.
- μ_0 mobilité des porteurs en surface.
- θ coefficient des limitations des courants.
- Z/L géométrie du transistor : Z = largeur du canal ; L = longueur du canal.

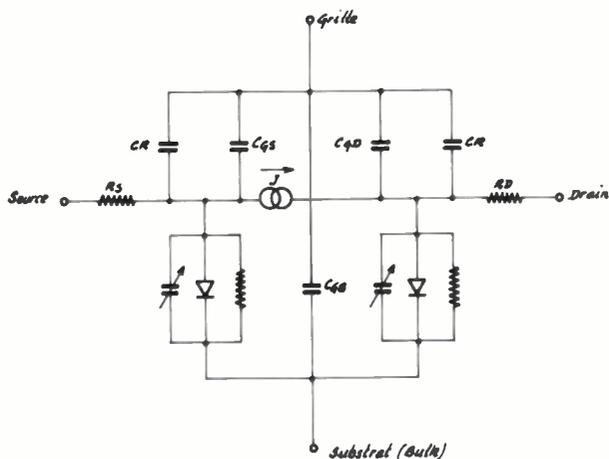
TABLEAU I

	Régime linéaire
Canal P	$V_{DS} > V_{GS} - V_{TD}^E$
$V_{DS} < 0$ $V_{TE} < 0$	$I_D = \frac{\mu_0 C_{ox} Z/L}{1 - \theta(V_{GS} - V_{TD}^E)} \left[(V_{GS} - V_{TD}^E) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$
$V_{TD} > 0$	Régime saturé
	$V_{DS} \leq V_{GS} - V_{TD}^E$
	$I_D = \frac{1}{2} \frac{\mu_0 C_{ox} Z/L}{1 - \theta(V_{GS} - V_{TD}^E)} (V_{GS} - V_{TD}^E)^2$

TABLEAU II

	Régime linéaire
Canal N	$V_{DS} > V_{GS} - V_{TD}^E$
$V_{DS} > 0$	$I_D = - \frac{\mu_0 C_{ox} Z/L}{1 + \theta(V_{GS} - V_{TD}^E)} \left[(V_{GS} - V_{TD}^E) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$
$V_{TE} > 0$	Régime saturé
$V_{TD} < 0$	$V_{DS} \geq V_{GS} - V_{TD}^E$
	$I_D = - \frac{1}{2} \frac{\mu_0 C_{ox} Z/L}{1 + \theta(V_{GS} - V_{TD}^E)} (V_{GS} - V_{TD}^E)^2$

Le potentiel de référence est celui de la source et l'expression des tensions de seuil en fonction de la polarisation du



- CR : Capacité de recouvrement
- Cgs : Capacité grille/substrat
- Cgd : Capacité grille/drain
- Cgs : Capacité grille/source
- RS : Résistance d'accès à la source
- RD : Résistance d'accès au drain

Fig. 7. - Schéma électrique équivalent associé au modèle mathématique.

substrat est de la forme :

$$V_T = V_{TO} + K [\sqrt{V_{BS} + 2/\phi_F} - \sqrt{2/\phi_F}]$$

avec V_{TO} = tension de seuil quand $V_{BS} = 0$

$$\phi_F = \frac{1}{q} [E_F - E_i]$$

K = Coefficient de substrat.

Les motifs de test utilisés et les mesures qui leur sont associées sont les suivants :

- Transistors MOS à oxyde mince et oxyde épais dont les caractéristiques décrites ci-dessus permettent de déterminer les paramètres dont nous avons parlé. Citons quelques exemples :

- tension de seuil à enrichissement et mobilité.

La figure 8 correspond à la caractéristique $I_D = f(V_{DS})$ en régime saturé d'un transistor MOS canal N oxyde mince à enrichissement.

A l'aide des deux mesures V_{DS1} et V_{DS2} qui correspondent à

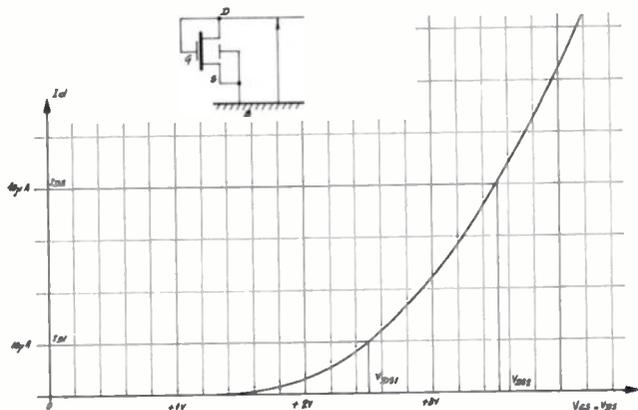


Fig. 8. - Caractéristique $I_D = f(V_{DS})$ avec $V_{DS} = V_{GS}$ d'un transistor MOS ($Z/L = 1$). Canal N oxyde mince à enrichissement.

$I_{D1} = 10 \mu A$ et $I_{D2} = 40 \mu A$, on obtient :

$$V_{TE} = 2V_{DS1} - V_{DS2}$$

et

$$\mu_0 C_{ox} = \frac{L}{Z} \frac{20}{(V_{DS2} - V_{DS1})^2}$$

- tension de seuil à déplétion.

La figure 9 correspond à la caractéristique $I_D = f(V_{DS})$ avec $V_{GS} = 0$ d'un transistor MOS canal N oxyde mince à déplétion. Deux mesures de courant I_{D1} et I_{D2} respectivement à $V_{DS1} = +1V$ et $V_{DS2} = +6V$ nous permettent de déduire la valeur de V_{TD} .

$$V_{TD} = - \frac{I_{D2}}{I_{D1}} \left[1 + \sqrt{1 - \frac{I_{D1}}{I_{D2}}} \right]$$

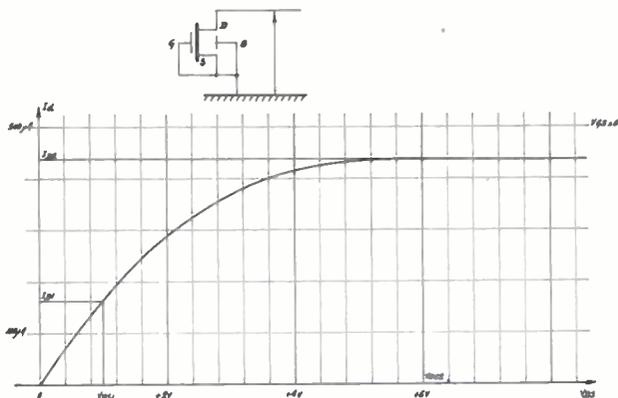


Fig. 9. - Caractéristiques $I_D = f(V_{DS})$ avec $V_{GS} = 0$ d'un transistor MOS ($Z/L = 1$) Canal N oxyde mince à déplétion.

Remarque : Le choix de ces tensions n'est valable que pour une tension de seuil comprise entre $-6V$ et $-1V$.

Le transistor MOS, élément simple décrit jusqu'ici, ne peut à lui seul constituer une fonction logique de base. Pour ce faire, il est nécessaire d'associer des éléments simples entre eux (par exemple) un transistor de charge associé à des transistors de commande). La plus simple de ces combinaisons pour une fonction logique donnée est l'inverseur. Une des caractéristiques essentielles de cet élément est son facteur de pente directement lié au rapport des géométries des transistors de charge et de commande.

Divers inverseurs témoins, dont nous pouvons tirer les caractéristiques de transfert et les facteurs de pente, sont implantés sur le véhicule test.

Pour la clarté du texte et la compréhension des méthodes utilisées, nous avons donné quelques exemples de mesures ponctuelles effectuées à l'aide de caractéristiques obtenues sur une table XY.

Par contre, les véritables informations des véhicules test sont obtenues par une utilisation systématique des statistiques sur un grand nombre de mesures automatiques. Les distributions et les répartitions statistiques obtenues nous donnent les valeurs moyennes, les écarts types et les écarts types normalisés de tous les paramètres. Nous présentons ici un exemple classique de répartition statistique (fig. 10) d'une utilisation courante dans notre fabrication.

Outre les motifs statiques élémentaires (transistors, inverseurs) le véhicule test dispose de structures complexes qui sont l'association d'éléments allant de l'inverseur logique

REFERENCE	PARAMETRE	CONDITIONS DE MESURE		UNITE	LECTURE	ELEMENT	BORNES								
153	IDZ	VGS=0V	VDS=2V	MICROAMP	15	TR100X100	7,9,15								

SUPERIEUR		INFERIEUR		POURCENTAGE PAR RONDELLE					POURCENTAGE NOMBRE						
A	A	0	5	10	15	20	25	30	35	40	45	50	CELLU	CUMUL	CELLULES
INF	-93.666												.0	.0	0
-93.666	-91.918												.0	.0	0
-91.918	-90.153												.0	.0	0
-90.153	-88.397												.0	.0	0
-88.397	-86.641												.0	.0	0
-86.641	-84.885												.0	.0	0
-84.885	-83.128												.0	.0	0
-83.128	-81.372												.0	.0	0
-81.372	-79.616												.0	.0	0
-79.616	-77.860												.0	.0	0
-77.860	-76.104												.0	.0	0
-76.104	-74.347												.0	.0	0
-74.347	-72.591												.0	.0	0
-72.591	-70.835												.0	.0	0
-70.835	-69.079												.0	.0	0
-69.079	-67.322												.0	.0	0
-67.322	-65.566												.0	.0	0
-65.566	-63.810												1.0	1.0	1
-63.810	-62.054												2.0	2.0	2
-62.054	-60.297												6.9	9.8	7
-60.297	-58.541												11.6	21.6	12
-58.541	-56.785												17.6	39.2	18
-56.785	-55.029												33.3	72.5	34
-55.029	-53.272												27.5	100.0	28
-53.272	-51.516												.0	100.0	0
-51.516	-49.760												.0	100.0	0
-49.760	-48.004												.0	100.0	0
-48.004	-46.248												.0	100.0	0
-46.248	-44.491												.0	100.0	0
-44.491	-42.735												.0	100.0	0
-42.735	-40.979												.0	100.0	0
-40.979	-39.223												.0	100.0	0
-39.223	-37.466												.0	100.0	0
-37.466	-35.710												.0	100.0	0
-35.710	-33.954												.0	100.0	0
-33.954	-32.198												.0	100.0	0
-32.198	-30.441												.0	100.0	0
-30.441	-28.685												.0	100.0	0
-28.685	-26.929												.0	100.0	0
-26.929	-25.173												.0	100.0	0
-25.173	-23.416												.0	100.0	0
SUP	-23.416												.0	100.0	0

MOYENNE = -58.541 ECART TYPE = 2.367 ECART TYPE NORMALISE = -.0404
 10% POINT = -62.700 50% POINT = -57.000 90% POINT = -56.300

Fig. 10. — Exemple de répartition statistique.

simple à l'amplificateur de sortie et qui nous informe sur le comportement dynamique (temps de propagation, temps de montée et temps de descente).

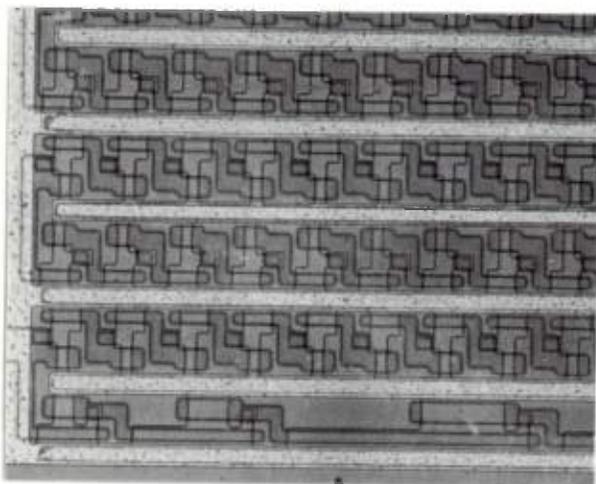


Fig. 11. — Vue partielle d'une chaîne d'inverseurs avec amplificateur de sortie.

Ces structures donnent en plus des renseignements propre au LSI : notion de complexité et de densité. A cette fin la plus grande partie de la surface contient dans la densité maximale, correspondant aux règles technologiques établies, une fonction simple de très haute densité d'intégration.

Une des fonctions la plus simple et la plus répétitive (densité) est un grand nombre de portes associés (anneau d'oscillation ou registre à translation) (fig. 11).

Tous les éléments décrits précédemment participent en outre au contrôle d'une fabrication et de sa fiabilité. L'exploitation statistique des mesures aux niveaux d'application (Rs/□, Rc, claquages, transistors élémentaires, cellules logiques...) et leur traitement constituent la structure de la fabrication lorsque le « bouclage » est effectué.

CONTROLE D'UNE FABRICATION ET RELATION AVEC LA FIABILITE

Le prélèvement et l'exploitation d'informations par une réaction rapide au niveau des fabricants constituent la

structure bouclée stable qui permet une constance et une permanence des caractéristiques technologiques essentielles d'une fabrication LSI. A ce sujet d'ailleurs, c'est une équipe d'analyse et de contrôle, attachée à la fabrication qui est chargée de concentrer, coordonner et exploiter toutes les informations recueillies ; elle doit en outre les réinjecter dans un délai aussi court que possible, sous une forme normalisée ne laissant place à aucune fantaisie, auprès des responsables intéressés.

L'ensemble des éléments décrits ici avec leur système d'édition et de réaction constitue une des parts la plus importante d'une structure de fabrication liée au procédé.

La dernière fonction du véhicule test que nous avons développée est l'étude du comportement de la technologie aux essais d'environnement à court terme et à long terme des éléments simples ou complexes dont il est constitué. Les mesures à court terme peuvent être des contraintes échelonnées qui nous informent rapidement des dérives éventuelles ; on en tire également facteurs et énergies d'activation pour des études de fiabilité prévisionnelles. Les mesures à long terme, sur des lots de véhicule test vieillis en fonctionnement, permettent de tirer des taux de panne significatifs lorsque le nombre de circuits par heure devient important et de juger le

comportement de tous les paramètres en vieillissement. Ces résultats sont des plus importants car ils sont significatifs de la durée de vie du dispositif.

CONCLUSION

Dans cet exposé nous avons tenté de montrer les différents secteurs fondamentaux qui doivent être analysés et contrôlés dans une fabrication LSI. Ainsi le véhicule test apporte d'une manière statistique :

- des éléments d'information technologiques, statiques ou dynamiques,
- des éléments d'information par la caractérisation de l'élément simple (transistor élémentaire, inverseur) et de structures plus complexes (oscillateur, amplificateur),
- des éléments d'information sur la fiabilité.

La place est insuffisante ici pour que nous puissions développer davantage le formalisme structurel d'une fabrication (fiches suiveuses de lots, feuilles d'exploitation de résultats statistiques, feuilles de mesures et de bouclage..).

Néanmoins nous espérons avoir mis en évidence les éléments essentiels relatifs au véhicule test.

La testabilité des circuits intégrés logiques vue par l'utilisateur (1)

CIRCUITS INTÉGRÉS

L'onde électrique
1978, vol. 58, n° 1
pp. 830-83

© Masson, Paris 1978.



par G. PIEL (2)

Ingénieur E.S.E.
Conseiller à la Direction Qualité.

CII Honeywell-Bull, Centre des Clayes
sous-Bois, rue Jean-Jaurès, 78340 Le
Clayes-sous-Bois (tél. 055-80.00).

RÉSUMÉ

Cet article met en avant la nécessité d'une évolution de mentalité des fabricants de circuits intégrés logiques d'autant plus pressante que se maintient la course à une complexité croissante. Cette évolution doit consister à consacrer une partie de ses efforts à l'amélioration de la testabilité des circuits.

Après avoir présenté la Testabilité dans son contexte industriel incluant l'utilisation du circuit, l'auteur analyse les possibilités d'amélioration de la Testabilité par action sur ses paramètres fondamentaux qui sont : l'architecture logique, les types de défauts et leurs probabilités de présence, les programmes et moyens de test, les conditions d'utilisation.

SUMMARY

The testability factors or the integrated logic circuit testability as viewed by the user

This paper points out the need for a mental evolution of the Integral Circuit Manufacturers. Since the race towards a higher complexity is going on, this mental evolution is becoming an urgency and should consist of devoting part of efforts to improve the Testability of the I.C.'s.

After a presentation of the Testability Concept in its industrial environment, including the circuit use, the author discusses the improvement of Testability by action on fundamental parameters that are Logic Architecture, kinds of defects and their probabilities of occurrence, Test programs and resources, condition of use.

INTRODUCTION

Le sujet que nous nous proposons de développer concerne la *testabilité des circuits intégrés logiques* dans la perspective actuelle d'accroissement du niveau d'intégration. Dans cette perspective, ces circuits sont couramment appelés L.S.I. (large Scale Integration) ou V.L.S.I. (Very large Scale Integration).

A ce propos des questions telles que les suivantes sont d'une pressante actualité :

- Comment le fabricant doit-il tester ?
- Pourquoi et comment l'utilisateur est amené à tester ?
- Faut-il faire du test dynamique à 100 % et comment le définir ?
- Que devient le rapport :
- Coût du Test/Coût du C.I.L. (Circuits Intégrés Logiques) avec l'évolution de la complexité ?

- La nécessité du test va-t-elle limiter l'accroissement du niveau d'intégration ? Compte tenu de la variété des défauts possibles et du grand nombre de variables qui conditionnent le fonctionnement des circuits, il n'est plus question de dire que la définition de tests exhaustifs est possible pour ces circuits. Il en résulte que la notion de testabilité doit être introduite et discutée. Elle doit être discutée par rapport à la finalité des circuits, c'est-à-dire par rapport à leur utilisation.

tion. C'est pour cette raison que nous avons introduit un sous-titre :

« La testabilité des Circuits Intégrés vue par l'Utilisateur ».

Le plan de notre communication est le suivant :

1. Qu'entendons-nous par Testabilité ?
2. Où et comment intervient la Testabilité ?
3. Les paramètres de la Testabilité.
4. Conclusion.

1. QU'ENTENDONS-NOUS PAR TESTABILITÉ ?

Quitte à la commenter largement, nous adopterons une définition très simple de la Testabilité, à savoir :

Définition : La testabilité est la facilité avec laquelle on garantit par le test une qualité objective.

Cette notion concerne une population de circuits intégrés logiques (CIL) de type choisi. La qualité objective correspond au niveau de qualité (proportion d'éléments acceptables avec la population) à atteindre au stade final qui est l'utilisation du CIL.

A cette fin le test est utilisé comme opération de TRI tendant à éliminer les éléments défectueux. La facilité avec laquelle on garantit la qualité objective doit être appréciée tant dans la phase d'introduction du CIL que dans sa phase industrielle. La phase d'introduction concerne le développement et la mise en production du CIL chez le fabricant ou

(1) Article issu de la journée d'études de la S.E.E. du 7 février 1978, reçu le 14 mars 1978 et accepté dans sa forme définitive le 26 juin 1978.

(2) Membre S.E.E.

son introduction jusqu'au début de l'utilisation définitive chez l'utilisateur. Dans cette phase on cherche à mettre en place, tant chez le fabricant que chez l'utilisateur une stratégie de test. Pour l'utilisateur une des difficultés consiste en la prise en connaissance du produit qui dure généralement plusieurs mois.

Dans la phase industrielle la plus ou moins grande facilité avec laquelle on garantit la qualité objective concerne le coût des moyens à utiliser au niveau des tests.

Nous appellerons efficacité de test, pour une population de N éléments testés, le rapport :

$$E = \frac{n_T}{n_D}$$

avec
 n_T = Nombre d'éléments éliminés par le test, qui seraient défectueux dans l'utilisation,
 n_D = Nombre total d'éléments de la population qui seraient défectueux dans l'utilisation.

La qualité objective correspond à la proportion minimale d'éléments qui doivent être bons en utilisation, dans la population après le test.

La Testabilité peut être définie comme inversement proportionnelle au coût du test, ramené à la pièce, qui permettrait d'atteindre la qualité objective à partir d'une qualité amont donnée.

Le coût du test en phase industrielle est fonction de la durée du test et des investissements qui s'y rapportent.

2. OU ET COMMENT INTERVIENT LA TESTABILITE ?

A. Où ?

La figure 1 présente le cheminement classique d'un CIL depuis sa fabrication jusqu'à son utilisation dans le produit utilisateur. Ce cheminement est jalonné de postes de test repérés sur la figure par des triangles.

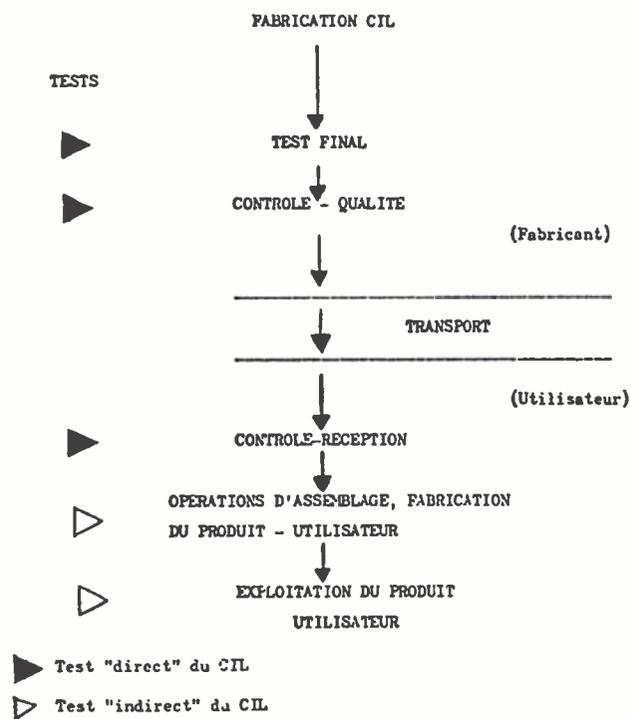


Fig. 1.

Le test direct est un test du CIL non monté, le test indirect est un test du CIL monté (généralement sur carte imprimée).

Pour analyser comment intervient la Testabilité, nous nous placerons successivement dans chacun des domaines qui sont celui du fabricant et celui de l'utilisateur.

B. Comment ?

Pour répondre à cette question, analysons les contraintes de chacun.

● Les principales contraintes dont doit tenir compte le fabricant pour atteindre son objectif sont :

- Coût des rejets à tort.
- Coût du test (facteur inverse de testabilité).
- Coût de remplacement de défectueux livrés.
- Variété des utilisateurs.
- Réputation de fiabilité.

● Les principales contraintes dont doit tenir compte l'utilisateur pour atteindre son objectif sont :

- Choix d'un CIL avantageux sous l'angle fonction et prix.
- Facilité de prise de connaissance du CIL.
- Facilité de mise en place des moyens d'assurance de la qualité (facteur de testabilité).
- Étendue du domaine d'utilisation, par rapport au domaine de définition (spécification) du CIL.
- Variation de qualité du CIL et changements de « Design » - à fournisseur donné, et d'un fournisseur à l'autre.
- Coût du test direct (facteur inverse de testabilité).
- Coût du test, diagnostic et réparation du sous-ensemble ou du système incorporant le CIL - à tous les postes de test indirect y compris dans l'exploitation du produit-utilisateur (facteur inverse de testabilité).

C. Résumé de la situation actuelle.

Les différences entre les contraintes telles qu'elles viennent de nous apparaître peuvent expliquer la situation actuelle que nous résumerons comme suit, jusqu'à ce que les fabricants comprennent que la testabilité est un facteur de concurrence :

- La testabilité des CIL complexes est insuffisante au niveau du fabricant par rapport aux objectifs de la plupart des utilisateurs.
- Le client utilisateur doit procéder à un test direct.
- L'insuffisance de testabilité se traduit par des tâtonnements onéreux voire par des risques inacceptables lors de la mise en place d'une stratégie de test optimale.
- La testabilité devient une préoccupation croissante chez l'utilisateur.

3. LES PARAMETRES DE LA TESTABILITE

Nous proposons de classer les paramètres de la testabilité comme suit :

- Architecture logique
 - Types de défauts et leurs probabilités de présence
- Paramètres spécifiques du CIL

- Programmes et moyens de test
- Conditions d'utilisation

Paramètres indirects

la conception des assemblages de CIL sur cartes. On peut les résumer comme suit :

- Utilisation de structures synchrones.
- Accessibilité des états internes.
- Partitionnement logique.
- Fonctionnement coup par coup.

A. Architecture logique

Il est certain que l'architecture logique intervient fondamentalement dans la testabilité. La testabilité est donc déjà en cause dans le choix des fonctions associables destinées à être produites. Nous ne discuterons pas ici cet aspect qui pourrait faire l'objet d'une recherche particulière.

En agissant sur l'architecture on peut viser les objectifs suivants :

- Faciliter la génération des programmes de test.
- Diminuer le coût du test (durée de test).
- Diminuer les exigences concernant les moyens de test – donc le coût des moyens.
- Faciliter le diagnostic des sous-ensembles incorporant le CIL (Test indirect).

Les moyens d'action ont été passés en revue dans la littérature technique (cf. références bibliographiques). En ce qui concerne les circuits combinatoires, la plupart des moyens consistent en additions substantielles de matériel. Ces additions sont en général inadmissibles sous l'angle économique.

Toutefois, le test des circuits combinatoires ne constitue pas un problème difficile et de plus les circuits qui nous concernent sont généralement séquentiels. Ces derniers en revanche apportent le gros des difficultés. Heureusement il est possible de préserver la testabilité des circuits séquentiels moyennant l'application de recommandations au niveau de la conception. Ces recommandations sont le reflet de solutions devenues classiques et éprouvées déjà au niveau de

Il est certain que l'application de telles recommandations constitue une contrainte pour le concepteur qui, de ce fait peut se sentir frustré dans la liberté d'exercice de son imagination. Toutefois il subsiste une grande variété de solutions d'application de ces contraintes, et si leur impact sur le coût du CIL peut marquer une tendance défavorable, en dehors d'une garantie de testabilité elles peuvent apporter une certaine clarté et facilité dans l'introduction industrielle du CIL.

L'accessibilité des états internes s'entend au sens de la contrôlabilité (introduction) et de l'observabilité (lecture) de tout état interne Possible en un petit nombre de coups d'horloge.

Cette accessibilité peut être obtenue par l'application d'une technique de registre à décalage dans laquelle chaque mémoire élémentaire du circuit est l'élément d'un registre à accès sériel en mode test (cf. références 1, 2 et 4).

B. Types de défauts et leur probabilité de présence

Les types de défauts et leur probabilité de présence dans la population à tester ont un impact direct sur la qualité amont et sur l'efficacité de test donc sur la qualité après test. Il est donc important de s'arrêter à une analyse des défauts possibles.

Une analyse détaillée sortirait du cadre de cette étude. Par contre il est intéressant de réaliser un classement des défauts par leurs effets parce que ces effets nous permettront de situer les possibilités des méthodes de test. Ce classement est donné ci-après :

• CLASSIFICATION DES DÉFAUTS PAR LEURS EFFETS

Type	Modèle ou effet	Exemples
Défaut franc	<ul style="list-style-type: none"> • Collage à 0 • Collage à 1 • Coupure 	<p>Court-circuit d'une liaison logique à la masse</p> <p>Coupure d'une liaison ET fantôme</p>
Défaut lâche (soft failure)	Défaut marginal	<p>Fonction affectée par marge sur grandeur appliquée, dans les limites de la spécification</p> <p>Fonction affectée par :</p> <ul style="list-style-type: none"> • Tension d'alimentation • Température • Marge d'immunité sur entrée • Charge de sortie • Temps de propagation disponible • Temps de préparation • Temps de maintien
	Défaut conditionnel	<p>Fonction affectée par états logiques (entrées et/ou états des mémoires) normalement passifs</p> <ul style="list-style-type: none"> • Diaphonies statiques ou dynamiques • Couplage parasite entre cellules de mémoire par bus commun.
	Défaut mixte	Marginal et conditionnel
Défaut intermittent	Reproductibilité incontrôlable	

Il est important de noter que la probabilité de présence des défauts n'est pas le fait d'un schéma logique mais le fait d'une certaine structure physique, en particulier en ce qui concerne les possibilités de court-circuits entre liaisons.

Quelles sont les actions possibles sur les types de défauts et sur leur probabilité de présence ? Ces actions sont résumées dans le tableau ci-après. Elles correspondent à l'essentiel du devoir du concepteur, du fabricant et de l'utilisateur de CIL.

Actions	Types de défauts visés
Fabricant :	
– Application de règles de conception classiques :	
• Schémas électriques utilisant des structures simples et/ou parfaitement caractérisées.	Marginaux
• Marges de tolérance suffisantes (électriques, géométriques, de procédé...)	Marginaux
• Limitation des possibilités de cumul d'effets parasites	Conditionnels
– Qualité de fabrication	Tous
– Stratégie de test	Tous
Utilisateur :	
– Conditions de stockage, de manipulation et d'assemblage	Tout défaut susceptible d'apparaître après recette du CIL
– Conditions d'utilisation	

C. Programmes et moyens de test

1. TYPES DE TEST ET PROGRAMMES DE TEST

Après une brève analyse de la situation actuelle en ce qui concerne les programmes de test des fabricants et des utilisateurs, pour le test direct des LSI et VLSI, nous commenterons cette situation puis nous aborderons le problème des tests indirects.

• *Situation de l'utilisateur* : L'utilisateur, sauf dans le cas d'un développement à la demande, ne connaît ni le schéma logique, ni à fortiori le schéma électrique du CIL. Il est de plus en présence d'une description fonctionnelle quelquefois incomplète. Enfin il ignore a priori les défauts les plus probables. Dans ces conditions il pratique le plus souvent une génération manuelle de son programme de test par exploitation de la fonction et procède à des retouches nécessaires du programme jusqu'à obtenir une efficacité de test satisfaisante.

• *Situation du fabricant* : Le fabricant est avantagé par la connaissance de son produit – structure physique, logique et défauts les plus probables. Sa position est encore renforcée s'il est en même temps le concepteur du circuit.

Malgré ces avantages, ou peut-être grâce à eux, il procède le plus souvent comme l'utilisateur à une génération manuelle, et prend souvent aussi ses clients comme champ d'expérience.

• *Discussion autour de cette situation* : Jusqu'à un niveau de complexité correspondant aux circuits MSI (Medium

Scale Integration) compris l'élaboration des programmes de test à partir d'un schéma logique représentatif du schéma réel était souhaitable et praticable ; c'est pourquoi l'exigence de ce schéma par l'utilisateur était justifiée – bien que non toujours satisfaite.

Pour les LSI et VLSI du commerce, le fabricant est de moins en moins enclin à fournir le schéma pour des raisons de propriété industrielle car, grâce à sa complexité, ce schéma offre un champ de développement aux particularités concurrentielles.

D'autre part, sauf un effort particulier concernant l'architecture logique (cf. § 3.A), les méthodes de génération des programmes de test basées sur la structure réelle du circuit dépassent le cadre de la génération manuelle et nécessitent des ressources informatiques dont ne disposent pas souvent les utilisateurs.

Enfin les programmes basés sur la structure réelle visent par principe la détection des défauts francs et ne mettent pas en évidence les pires cas de fonctionnement qui peuvent faire apparaître des défauts lâches dans le contexte d'utilisation. Notons cependant que quelle que soit la méthode utilisée (automatique, manuelle, ou manuelle-assistée) il serait toujours hautement souhaitable d'avoir une mesure de l'efficacité de test dans des hypothèses de qualité amont donnée. En général, on choisit d'évaluer la couverture de test ou efficacité de test relative à la détection des défauts francs pris un à un (équiprobables) parce que cette évaluation répond à des hypothèses théoriques simples.

Comme cette évaluation nécessite une simulation du programme du test sur un modèle structurel du circuit logique, elle devrait être prise en compte au moins par le fabricant.

Dans ces conditions, en attendant une amélioration des architectures logiques nous souhaitons ce qui suit :

– Description fonctionnelle formalisée couvrant tous les cas de fonctionnement autorisés – y compris, s'il y a lieu, ceux réservés au test – avec contraintes de temps.

– Schéma logique en blocs assurant la séparation entre les éléments mémoires et les fonctions combinatoires et décrivant avec précision les liaisons entre blocs.

– Programme de test relatif aux défauts francs, utilisé par le fabricant en test final, garantissant une couverture de test donnée.

• *A Propos des tests indirects* : Aussitôt sa fabrication terminée, une carte logique est testée. Nous ne considérons que le cas – le plus difficile où les CIL montés sont indissociables de la carte, sauf pour leur remplacement. Diverses méthodes sont généralement employées, pour les grandes cartes pour éliminer les défauts de montage les plus grossiers tels que erreurs d'emplacement, ponts de soudures... Nous ne les décrivons pas car elles ne soulèvent pas le problème de la testabilité du CIL. Après cette élimination de défauts grossiers la carte subit généralement un test fonctionnel et dans ce cas les CIL subissent un premier test indirect.

Pour pouvoir développer le programme de test fonctionnel de la carte il est nécessaire de disposer d'un modèle

simulant le CIL. La principale difficulté réside alors dans le fait que les modèles de simulation structurelle des LSI et VLSI sont trop lourds pour être utilisés en génération automatique au niveau d'une carte logique. Dans ces conditions, et en dehors des difficultés évoquées plus haut à propos de la possibilité d'obtenir le schéma du composant, il ne servirait à rien d'exiger ce schéma.

De plus, ces modèles peuvent varier d'une source de CIL à une autre. Il en résulte qu'on se rabat généralement vers l'utilisation d'un modèle de simulation fonctionnelle. Ce type de simulation ne convient généralement pas à la génération automatique qui nécessite de « remonter » des sorties vers les entrées mais convient aux méthodes de génération manuelles assistées.

On peut considérer que les programmes de test ainsi développés assurent une certaine couverture de test évaluée par rapport aux défauts possibles au niveau des liaisons entre CIL de la carte, ce qui sous condition, peut être jugé suffisant en fabrication.

Certains défauts internes aux CIL peuvent ne pas être détectés par ces programmes et ceci risque d'être d'autant plus probable que le CIL est plus complexe. Il y a là une raison supplémentaire pour effectuer un test très sévère des LSI et VLSI avant montage et de prendre un soin particulier à éviter les dégradations lors des opérations de montage. Malheureusement les défauts internes aux circuits, non modélisables par des défauts francs rapportés aux broches du circuit peuvent aussi apparaître en cours d'utilisation et les lacunes des programmes basés sur les modèles de simulation fonctionnelle pour le test des cartes correspondent alors à une difficulté de diagnostic. Une méthode ne comportant pas les lacunes précédentes consisterait à faire précéder le test fonctionnel de la carte par un test direct *in situ* du LSI ou VLSI.

Pour que ce test soit possible, il serait nécessaire que :

- Chaque CIL complexe ait une bonne testabilité directe,
- le CIL à tester soit soustrait à l'influence de son environnement dans la carte (mis à part son alimentation) ses entrées et ses sorties étant « logiquement » déconnectées du reste de la carte.

Nota 1. Une difficulté du test direct *in situ* résidera toujours dans la présence de connexions parasites (par rapport à un test direct) pouvant empêcher la réalisation de tests dynamiques marginaux.

Nota 2. La déconnexion du LSI de son environnement ne serait pas nécessaire si la Technique du registre à décalage mentionnée au paragraphe 3.1 était généralisée à tous les circuits séquentiels de la carte et si tous les accès série à ces registres étaient disponibles pour le test de la carte.

2. SYSTÈMES DE TEST

Nous pouvons dire que les systèmes de test se répartissent en deux grandes classes correspondant :

- Systèmes de test universels.
- Systèmes de test adaptés.

Le choix d'un système de test est fonction de nombreux paramètres. Les principaux paramètres sont : volume de

CIL à tester par jour, variété des CIL, variations de charge; possibles, variété des cas d'utilisation, volume d'emploi dans chaque utilisation, usage évaluation, qualification ou production.

Les nécessités de l'évaluation et de la qualification tendent à correspondre à un système de test universel.

Les nécessités d'un contrôle de production tendent chez le fabricant pour des raisons économiques, à être satisfaites par l'emploi de systèmes de test adaptés (stations de test adaptées au CIL à tester).

• Chez l'utilisateur nous distinguerons trois cas intéressants à discuter, au niveau contrôle-réception :

- 1) faible quantité dans chaque type, grande variété de types,
- 2) grande quantité dans une faible variété de types,
- 3) faible quantité dans une faible variété de types.

Le premier cas a une réponse dans l'usage d'un système de test universel, le deuxième dans l'usage d'un « simulateur de contexte » par type, le troisième dans l'appel à un service extérieur.

Un simulateur de contexte est un système de test adapté susceptible d'« exercer » le CIL exclusivement comme il le serait dans l'utilisation — avec des conditions marginales — l'usage d'un simulateur de contexte est d'autant plus valable que l'utilisation correspond à une utilisation plus restreinte ou plus délimitée des fonctions du CIL.

L'impact du problème testabilité sur le domaine des systèmes de test apparaît alors essentiellement critique chaque fois qu'il y a nécessité d'utiliser un système de test universel et la difficulté réside souvent dans la phase d'introduction des CIL complexes. Ce type de système suit l'évolution technologique. En particulier la complexité de ces systèmes va en s'accroissant. Il en est évidemment de même de leur prix et de leur coût d'exploitation et beaucoup d'utilisateurs — petits ou moyens — renonceront à l'achat d'un tel système.

En conclusion cette analyse nous renforce dans l'idée qu'une maîtrise des exigences à l'endroit des systèmes de test est impérative en agissant sur la conception des CIL. A titre d'exemple nous citerons la nécessité pour les CIL de faire appel à un nombre limité d'instantants de transition distincts sur les entrées, par cycle d'horloge, de façon à limiter les exigences concernant les bases de temps du système de test.

4. CONCLUSION

Au fur et à mesure que croît la complexité des circuits intégrés logiques, il est fréquent que les utilisateurs constatent un accroissement du taux de rejet à leur contrôle de réception et ceci en les obligeant à des efforts de plus en plus onéreux du fait de leur situation défavorable en ce qui concerne l'accès à la connaissance du produit.

Cette situation dans laquelle l'utilisateur se substitue de plus en plus au fabricant dans l'assurance d'une qualité acceptable est franchement inquiétante.

Il devient alors évident que le principal effort à fournir

devra consister pour le fabricant à permettre à l'utilisateur de développer sa confiance dans le produit fabriqué.

Pour atteindre cet objectif il sera nécessaire que le fabricant améliore la testabilité de ses produits et corrélativement mette en place des tests efficaces. Dans cette optique, la testabilité vue par l'utilisateur sera satisfaisante et deviendra un facteur de concurrence.

Les paramètres principaux sur lesquels le fabricant devra jouer sont, la conception et la qualité de fabrication. Par un effort de conception au niveau de l'architecture logique il doit être possible de préserver une certaine accessibilité des états internes du circuit et de ce fait améliorera tant la testabilité directe que la testabilité indirecte.

Par un effort de conception du schéma électrique, il doit être possible de limiter les probabilités de présence des défauts lâches, défauts pour lesquels la recherche de programmes de détection est relativement hasardeuse.

Ces deux axes d'effort, plus un effort relatif à l'amélioration de la qualité de fabrication devraient améliorer l'efficacité des tests tout en les maintenant dans une longueur (nombre de vecteurs) raisonnable.

En ce qui concerne le développement des programmes de test, nous avons vu que, pour le test direct, de réels problèmes

se posent et que les méthodes de génération automatiques ou assistées, sont onéreuses et mal adaptées au cas des CIL les plus complexes, au moins pour l'utilisateur.

La nécessité de disposer d'une description fonctionnelle précise pour la prise de connaissance du CIL et pour faciliter le développement des tests directs et indirects est aussi à prendre en considération. Il est souhaitable que cette description soit formalisée voire fournie sous la forme d'un programme de simulation.

Un programme de test assurant une large couverture de test pour la détection des défauts francs les plus probables devrait être fourni par le fabricant. Il serait très utile pour un diagnostic par test direct *in situ*. Si la testabilité du circuit est élevée, ce programme relativement simple pourrait être un facteur de confiance dans le fournisseur et son produit.

Bibliographie

- [1] WILLIAMS M. J. Y. and ANGELL J. B. — Enhancing Testability of Large Scale Integrated Circuits via Test points and additional Logic. *I.E.E.E. Trans. on Computers*, 1973, Vol. C. 22, n° 1, 46-60.
- [2] BENNETTS R. G. and SCOTT R. V. — Recent Development in the Theory and Practice of Testable Logic Design. *Computer (I.E.E.E.)*, 1976, Vol. 9, n° 6.
- [3] GAREN Eric R. — Have the LSI Parts you buy been thoroughly tested ? *Computer design*, 1977.
- [4] MUEHLDORE E. I. — Designing LSI for Testability. *Semiconductor Test Symposium (I.E.E.E.)*, 1976, pp. 45-49.

Vers des microprocesseurs facilement testables et autotestables

Phase de caractérisation des défauts ⁽¹⁾

par Christian LANDRAULT

Ingénieur ENICA, Docteur ès sciences
Chargé de recherche au C.N.R.S.

Laboratoire d'Automatique et d'Analyse
des Systèmes, 7, avenue du Colonel
Roche, 31400 Toulouse
(tél. : (61) 53.11.77).

et Pierre ROUSSEAU

Ingénieur ENSERG, Docteur Ingénieur,
Responsable de l'Unité Projets
d'EFCIS.

EFCIS, 17, avenue des Martyrs, 85 X
38041 Grenoble Cedex (tél. :
(76) 97.41.11).



© Masson, Paris 1978.

RÉSUMÉ

Les résultats présentés dans cet article constituent la première partie d'un programme de recherche dont le but final est la conception et la réalisation de circuits à haut degré d'intégration facilement testables et autotestables.

L'hypothèse généralement retenue pour développer les théories du test considère que les défauts se traduisent par une panne de collage à 0 ou à 1 d'une, ou éventuellement de plusieurs connexions. Cette hypothèse est-elle réaliste dans le cas des circuits à large échelle d'intégration ? L'étude présentée ici tend à répondre à cette question en abordant le problème de manière pratique, c'est-à-dire en effectuant la caractérisation des défauts sur un circuit réel d'application choisi pour sa représentativité de l'état de l'art.

SUMMARY

Towards easily testable and self-checking microprocessors : characterization of the failures

The results presented in this paper form the first part of a research program the final aim of which is the design and realization of easily testable and self-checking LSI integrated circuits.

The assumption generally used to develop test theories assume that failures can be modelled by s-a-0 or s-a-1 of one or more pins of the circuits. Is this assumption true in the case of LSI integrated circuits ? The study presented here tries to answer this question by tackling the problem in a practical manner, i.e. by characterizing the failures on a real circuit chosen for its representativeness of the state of the art.

INTRODUCTION

Avec l'avènement de l'intégration à large échelle, tester un circuit intégré devient une tâche de plus en plus difficile ; cela tient en particulier au fait que le nombre de broches des boîtiers croît beaucoup moins rapidement que le nombre de composants élémentaires de la puce. La solution à ce problème passe par la prise en compte du test au moment de la conception du circuit afin d'aboutir à la réalisation de circuits à large échelle d'intégration facilement testables et autotestables.

L'hypothèse généralement retenue pour développer les théories du test considère que les défauts se traduisent par une panne de collage à 0 ou à 1 d'une, ou éventuellement plusieurs connexions du circuit. Cette hypothèse est-elle réaliste dans le cas de circuits à large échelle d'intégration ? L'étude présentée dans ce papier tend à répondre à cette question en abordant le problème de manière pratique, c'est-à-dire en effectuant la caractérisation des défauts sur un circuit réel choisi comme exemple d'application du fait de sa représentativité de l'état de l'art aussi bien du point

de vue du nombre de transistors (5 000) que du point de vue des fonctions de base dont il est constitué (structure de bus, PLA, mémoires vives, logique aléatoire, UAL).

La première partie de ce papier fournit une description du circuit d'application retenu. Il s'agit d'un microprocesseur 4 bits, réalisé en technologie MOS à canal P à enrichissement et déplétion possédant une unité d'allocation qui lui permet de traiter en temps partagé 4 processus de priorité différente.

La deuxième partie est consacrée à la caractérisation des défauts. Du fait de l'importance de la taille du circuit, il est inconcevable de manière pratique d'étudier les circuits par observation directe de la puce sans avoir au préalable limité la zone d'investigation. Ceci a été effectué en élaborant une séquence de test spécialement conçue à cet effet. La deuxième étape de la caractérisation consiste alors en l'observation directe de la puce au niveau de la zone mise en cause par la séquence de test au moyen de techniques d'analyse appropriées.

Dans une troisième et dernière partie, nous présenterons les résultats obtenus lors de l'étude d'un lot de circuits défectueux et les principales conclusions que l'on peut en tirer.

(1) Étude réalisée sous contrat de la Direction des Recherches et des Essais Techniques (n° 77/008).

Article issu de la Journée d'études du 7-1-2-1978 organisée par la section 21 de la SEE.

I. PRÉSENTATION DU CIRCUIT D'APPLICATION

Afin de fournir un support représentatif de l'état de l'art actuel, le circuit d'application retenu devait répondre aux caractéristiques suivantes :

- degré de complexité correspondant à un nombre de transistors de l'ordre de 3 000 à 8 000,
- méthode de synthèse adaptée à la conception de systèmes complexes (structure de bus, réseau logique programmable, unité arithmétique et logique, mémoire vive, circuits d'entrée-sortie,...).

Le circuit retenu est un microprocesseur 4 bits, développé par E.F.C.I.S. et réalisé en technologie MOS canal P (enrichissement et déplétion). Il est principalement orienté vers le séquencement et est capable de gérer en temps partagé quatre processus simultanés de priorités différentes ; de plus, la consommation doit être très faible.

Le circuit se présente sous la forme d'un boîtier de 28 broches (fig. 1) se répartissant en :

- 9 broches d'entrées,
- 16 broches de sorties,
- 3 broches d'alimentation.

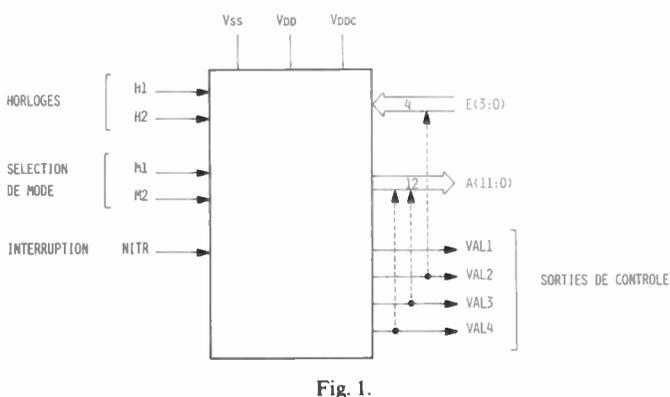


Fig. 1.

La signification des différentes broches est donnée dans le tableau de la figure 2.

L'architecture interne du microprocesseur est donnée sur la figure 3. Elle se présente sous la forme classique d'une structure à bus, l'ensemble de blocs connectés au bus principal BI(4) étant géré par une unité de séquencement.

Sans entrer ici dans la description complète de l'architecture interne du microprocesseur, nous noterons seulement que les différents blocs opérationnels du circuit peuvent être répertoriés en trois classes :

- les circuits séquentiels ou à mémoire où l'on trouve des blocs de mémoire vive (taille maximum de 16 mots de 4 bits), des registres de 2 à 4 bits, des bascules, des compteurs (nombre d'étage allant de 2 à 5) et des systèmes séquentiels (réalisés avec deux bascules D maître-esclave associées à une PLA),
- les circuits combinatoires itératifs ou réguliers où l'on trouve le séquenceur (PLA), les décodeurs (PLA), les multiplexeurs et les circuits arithmétiques (réseaux d'incrément, de décrémentation et l'unité arithmétique),
- la logique aléatoire à caractère séquentiel ou non.

BROCHE	FUNCTION
H1	HORLOGE DE BASE (< 50 KHZ)
H2	HORLOGE DE DECREMENTATION POUR L'UNITE DE TEMPORISATION
M1	ENTREE D'INITIALISATION
M2	ENTREE DE BLOCAGE
N1TR	ENTREE D'INTERUPTION
E(3:0)	BUS D'ENTREE (INSTRUCTIONS VALIDEES PAR VAL4 ET DONNEES VALIDEES PAR VAL3)
A(11:0)	BUS DE SORTIE (ADRESSES D'INSTRUCTION VALIDEES PAR VAL4 OU ADRESSES, DONNEES POUR PERIPHERIQUE VALIDEES PAR VAL3)
VAL4	VALIDATION D'INSTRUCTION
VAL3	VALIDATION DES ENTREES/SORTIES
VAL2	INDIQUE LE RANG DU CARACTERE DE 4 BITS SUR E (ENTREE D'UN OCTET D'UNE INSTRUCTION)
VAL1	INDICATION D'ATTENTE GENERALE (PERMET DE DIMINUER LA CONSOMMATION EN AGISSANT SUR L'ALIMENTATION VDDC)
Vss	+ 5 V ± 5 %
VDD	MASSE
VDDC	ALIMENTATION COMMUTABLE (FUNCTIONNEMENT NORMAL A LA MASSE, PHASE D'ECONOMIE A + 5 V)

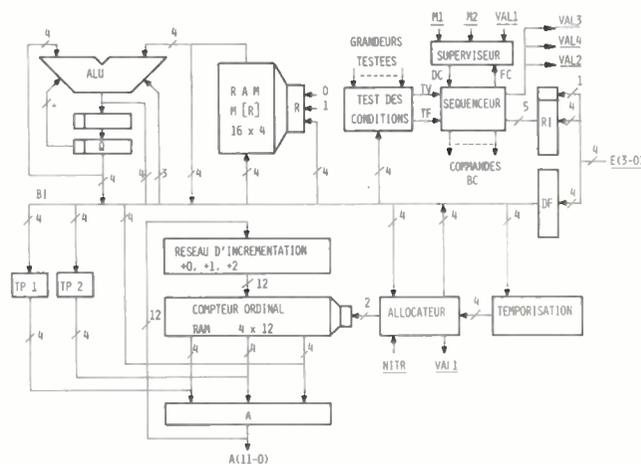


Fig. 3.

Le tableau de la figure 4 donne l'importance relative (du point de vue nombre de transistors) des différents blocs que nous venons de recenser.

Fondamentalement, et sans tenir compte par exemple des différentes fonctions réalisées par l'ALU ou des différentes conditions testées lors de saut, le microprocesseur dispose de 21 instructions pour assurer le déroulement d'un programme. Les instructions sont codées sur un, deux ou trois octets et peuvent demander jusqu'à 7 cycles machine pour leur complète exécution.

CIRCUITS SEQUENTIELS (55 %)	CIRCUITS COMBINATOIRES (32,3 %)	LOGIQUE ALEATOIRE (12,7 %)
BLOCS MEMOIRES (25,8 %)	SEQUENCEUR (13,8 %)	
REGISTRES (12,5 %)	DECODEURS (5,8 %)	
BASCULES (7 %)	MULTIPEXEURS (5,7 %)	
COMPTEURS (5,2 %)	CIRCUITS ARITHMETIQUES (7 %)	
SUPERVISEURS (4,5 %)		

Fig. 4.

Les instructions d'entrée-sortie, au nombre de 2, permettent d'une part le chargement du registre adresse A avec une valeur contenue, soit dans la mémoire de programme, soit dans les registres internes, d'autre part l'acquisition d'une information au niveau du bus entrée E.

Les instructions de branchement, au nombre de 4, en adressage absolu, relatif ou indirect indexé peuvent provoquer, de manière inconditionnelle ou conditionnelle suivant l'état de certains signaux internes, des modifications de l'ordre d'exécution des instructions qui constituent le programme.

Les instructions de traitement, au nombre de 7, servent à exploiter les possibilités de l'unité arithmétique et logique ; elles fournissent à celles-ci d'une part directement ou indirectement les valeurs des opérandes, d'autre part une indication sur la nature de l'opération à effectuer.

Les instructions de synchronisation, au nombre de 6, permettent la gestion par programme des unités d'allocation et de temporisation. La politique de partage des ressources entre les quatre processus peut ainsi être directement adaptée à l'application envisagée.

Les instructions de mise au point, au nombre de 2, affichent sur le bus adresse l'état de certains signaux internes du microprocesseur ; elles constituent essentiellement une aide lors de la vérification des programmes.

2. CARACTÉRISATION DES DÉFAUTS

A. Motivation et déroulement

Les hypothèses de faute généralement retenues pour développer les théories du test sont de deux natures quant aux conséquences d'une panne :

- collage à 0 ou à 1 d'une seule connexion [1],
- collage unidirectionnel à une seule valeur, 0 ou 1 [2, 3].

Dans la pratique, lors de la conception de systèmes à grande testabilité [4, 5] on prend en compte une hypothèse beaucoup plus large : une panne se traduit par des collages à 0 ou/et à 1 d'un nombre quelconque de broches.

Dans une étude visant à améliorer de manière interne la testabilité des circuits, il est nécessaire d'étudier les différentes pannes affectant une puce de circuit intégré afin de disposer d'hypothèses de panne réalistes (collage simple ou multiple, unidirectionnel ou non, coupures de connexions, court-circuits,...). Ces hypothèses permettront de rejeter les méthodes possibles d'accroissement de testabilité qui se révèlent inefficaces pour les types de panne retenus et de déterminer celles qui ont un degré de redondance élevé dû à la prise en compte d'hypothèses de panne trop larges. Nous pourrions ainsi adopter pour chaque bloc du circuit, la méthode de conception qui convient le mieux compte tenu de la nature des défauts qui peuvent survenir.

La recherche, à l'aide d'un moyen d'inspection approprié, d'un composant défectueux dans un circuit LSI étant une tâche difficile voire impossible si l'on ne dispose

pas au préalable d'informations permettant de réduire le champ de ces recherches, la caractérisation s'est déroulée en deux étapes :

– dans une première étape, on cherche à réduire la zone d'investigation à des dimensions physiques raisonnables à l'aide d'une séquence de test orientée vers la localisation des défauts,

– la seconde étape consiste à rechercher la nature physique de la panne par l'observation directe, à l'aide des techniques appropriées, de la zone mise en cause lors de la première étape.

Dans un but de simplification, les unités d'allocation et de temporisation n'ont pas été testées. Cette restriction ne limite d'ailleurs pas la portée des résultats. En effet, la partie du microprocesseur sur laquelle a porté l'étude comporte un échantillonnage complet de toutes les fonctions de base des circuits LSI ; par contre, cette restriction allège considérablement l'écriture de la séquence de test et surtout l'interprétation de la réponse des circuits à cette séquence.

B. Description du programme de localisation des défauts

1. GÉNÉRALITÉS

Le test fonctionnel d'un circuit comporte deux actions :

- excitation ou commande du circuit,
- observation des effets consécutifs aux excitations et comparaison avec les effets attendus.

Dans le cas du circuit retenu, les divers modes de fonctionnement du microprocesseur sont commandés par les entrées M1 et M2, tandis que le reste du circuit est excité grâce au jeu d'instructions.

L'observation de l'évolution des sorties à chaque phase horloge et la comparaison de celles-ci avec celles déduites du cahier des charges permet de déceler un défaut. En raison de la faible observabilité du circuit, un enchaînement de plusieurs instructions est nécessaire pour assurer un test à l'intérieur de certains blocs. La première instruction permet d'activer la panne tandis que les suivantes permettent l'observation du comportement du bloc. Dans la pratique, nous utilisons un testeur Téra-dyne qui pour chaque phase horloge assure l'injection des vecteurs d'entrée, l'acquisition des vecteurs de sortie, la comparaison des résultats obtenus avec des valeurs de référence et l'édition de tous les vecteurs erronés.

La procédure de test qui a été retenue pour la localisation des défauts est basée sur une organisation hiérarchisée présentant les deux caractéristiques suivantes :

- la séquence globale est découpée en sous-séquences, chacune étant spécialisée dans le test d'un bloc particulier du microprocesseur de taille la plus réduite possible,
- l'ordre de succession des sous-séquences est tel que tout défaut détecté par une sous-séquence donnée ne peut mettre en cause les blocs testés par les sous-séquences précédentes.

Par conséquent, partant d'un lot initial de circuits, chaque sous-séquence permet d'isoler ceux qui présentent un défaut au niveau du bloc dont elle assure le test. Ces

circuits ne seront pas soumis aux sous-séquences suivantes. Puisque, à cause du défaut mis en évidence, on ne peut pas garantir le bon déroulement de la suite du test.

Compte tenu de la structure interne du circuit et de l'interdépendance des blocs entre eux, la procédure de test retenue comprend quatre sous-séquences. Son schéma-bloc est donné sur la figure 5.

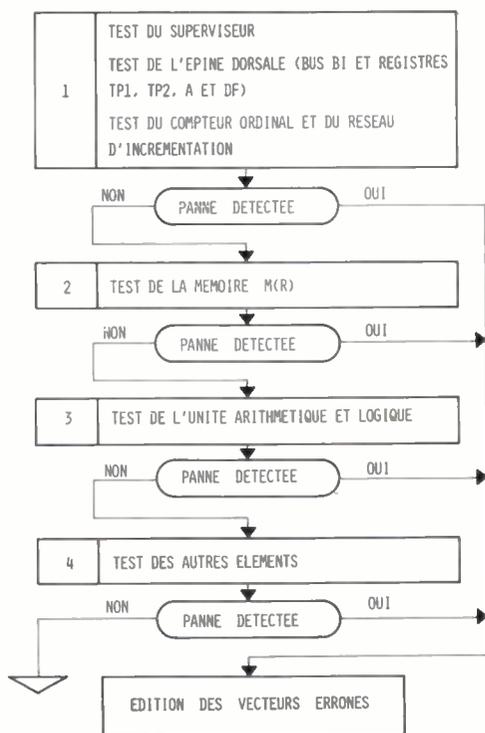


Fig. 5.

On peut remarquer qu'il n'existe pas de sous-séquence destinée à tester le séquenceur. Ce fait s'explique par les deux points suivants :

a) les commandes issues du séquenceur ne sont observables que par leurs actions au niveau des différents blocs qui doivent être activés dans un ordre précis défini par la hiérarchie du programme de localisation ; il n'est donc pas possible de tester le séquenceur au début du test ce qui aurait pour effet d'activer tous les blocs,

b) chaque sous-séquence fait appel à des instructions différentes suivant la nature du bloc qu'elle teste ; en même temps que le test du bloc, la sous-séquence assure aussi le test de la partie du séquenceur relative aux instructions utilisées.

2. TECHNIQUES DE TEST UTILISÉES [7]

Le superviseur est un système séquentiel synchrone dont le test nécessite [6] :

- la vérification de l'existence de tous les états,
- la vérification de toutes les transitions du graphe de fluence.

Dans le cas du superviseur du circuit retenu, le nombre de transitions est faible et celles-ci sont testées en même temps que les états, les différents états du superviseur étant observables par l'intermédiaire des sorties VAL2 et VAL3.

L'« épine dorsale » du microprocesseur est la voie de communication directe qui existe entre les entrées E(3 : 0) et A(11 : 0) ; elle est constituée du bus BI et de l'ensemble des registres DF, TP1, TP2 et A (fig. 3). La technique couramment utilisée pour tester un ensemble de blocs consiste à faire circuler une information à travers un maximum de blocs afin de propager le défaut vers des sorties observables.

La présente étude n'étant pas uniquement orientée vers la détection des défauts, mais aussi vers leur localisation, nous n'avons pas cherché des chemins traversant un maximum de blocs afin de réduire la longueur de la séquence mais plutôt des chemins qui permettent de localiser le défaut, soit directement, soit par recoupement. Le test est assuré par l'enchaînement d'instructions d'entrée/sortie et de branchement permettant de sensibiliser l'épine dorsale sur toute sa longueur et par l'utilisation des instructions de mise au point.

Le test du *compteur ordinal et du réseau d'incrémentation* doit permettre, outre le test proprement dit du système d'adressage, d'affiner la localisation des défauts détectés lors du test de l'épine dorsale. Ce test s'effectue essentiellement en utilisant des instructions de branchement inconditionnel, des instructions de mise au point (lecture des quatre compteurs ordinaux).

Le test fonctionnel d'un *système de mémoires* a pour but de vérifier que :

- 1) chaque élément adressable peut être correctement adressé,
- 2) chaque point mémoire est capable de stocker les deux valeurs binaires 0 et 1,
- 3) toute information peut être inscrite correctement,
- 4) toute information lue dans la mémoire est correcte.

Écrire un test pour une mémoire revient donc à intégrer, dans une même séquence, toutes les opérations permettant d'aboutir à ces objectifs.

Selon la structure de la mémoire, ces opérations peuvent être effectuées simultanément ou non. L'organisation de la mémoire en mots ou en bits, le nombre de mots, leur longueur sont des paramètres qui ont une influence considérable à ce niveau, les procédures de test correspondant à chaque cas étant de nature très diverses [8, 9].

La configuration de la mémoire M(R) du microprocesseur (16 mots de 4 bits) permet d'établir une correspondance biunivoque entre chaque adresse et le contenu du mot correspondant. Il suffit donc d'un cycle écriture-lecture pour tester l'ensemble de l'adressage. Un second cycle d'écriture-lecture permet de faire passer chaque point de la mémoire dans l'état complémentaire. Enfin, un troisième cycle d'écriture-lecture, identique au premier, permet de compléter le test d'écriture (transitions 1 → 0 et 0 → 1 testées pour toutes les cellules).

L'unité arithmétique et logique est un bloc purement combinatoire. La méthode la plus efficace pour la détermination d'une séquence de test dans le cas d'un bloc combinatoire est celle qui fait appel à la sensibilisation des

chemins [10]. Cette procédure a permis de déterminer une séquence de 7 combinaisons d'entrée suffisante pour détecter toutes les pannes de collage.

3. IMPLANTATION

La séquence de test a été implantée sur un testeur Teradyne. L'utilisation du testeur Teradyne impose l'introduction d'un vecteur de test à chaque phase d'horloge. Le programme se présente sous la forme de 3 072 vecteurs répartis entre les sous-séquences comme le montre le tableau de la figure 6.

SOUS SÉQUENCE	SOUS-ENSEMBLES TESTÉS	NOMBRE DE VECTEURS DE TEST	POURCENTAGE
1	SUPERVISEUR	40	1,3 %
	EPINE DORSALE ET SYSTEME D'ADRESSAGE	326	10,6 %
2	MEMOIRE M(R)	1284	41,8 %
3	UNITE ARITHMETIQUE ET LOGIQUE	848	27,6 %
4	AUTRES ELEMENTS	574	18,7 %

Fig. 6.

C. Technique d'analyse des défauts

Les méthodes d'analyse à mettre en œuvre pour l'identification des défauts dans un circuit LSI sont liées aux types de défauts pouvant survenir.

Ces défauts peuvent être visibles au microscope ou non visibles.

Les défauts visibles sont essentiellement :

- les court-circuits entre métallisations,
- les coupures de métallisations,
- les court-circuits entre diffusions,
- les coupures de diffusions,
- les transistors parasites dus à des amincissements aléatoires de l'oxyde.

Ces défauts sont mis en évidence par une observation microscopique de la zone mise en évidence à l'aide du programme Teradyne de localisation. La liste des défauts non visibles ne peut être exhaustive, les plus importants sont les suivants :

- court-circuit entre grille et diffusion,
- tension de seuil des transistors décalée par pollution ponctuelle,
- défauts de conception excités par la dispersion de la technologie.

Pour remonter à l'origine de ces défauts, nous pouvons utiliser les techniques suivantes :

- test paramétrique des circuits sur testeur Teradyne,
- recherche des domaines de fonctionnement par la méthode dite du « Schmo-Plot »,
- cartographie des potentiels à la surface du circuit à l'aide d'un microscope électronique à balayage,
- analyse ponctuelle des équipotentiellés en « posant » des pointes à l'intérieur du circuit.

3. ÉTUDE D'UN LOT DE CIRCUITS

La séquence de test décrite dans le paragraphe précédent a été appliquée à un lot de 43 circuits au moyen d'un testeur Teradyne de type J 283.

Afin d'obtenir des renseignements supplémentaires sur la nature des défauts (transitoires ou permanents), chaque circuit a subi deux fois la séquence de test avec visualisation des résultats sur une console CRT. Lorsque ces deux expériences ne donnaient lieu à aucun aléa, le test était lancé une troisième fois avec édition des résultats correspondant aux vecteurs erronés.

L'analyse de ces vecteurs erronés a ensuite permis de localiser le ou les défauts détectés, l'interprétation des résultats s'effectuant en deux étapes :

- la présence d'un ou plusieurs vecteurs erronés au niveau d'une sous-séquence donnée permet de conclure directement à une défaillance de l'un des blocs dont cette sous-séquence assure le test,

- l'examen du contenu des vecteurs erronés permet d'affiner la localisation d'une panne avec une résolution qui dépend de la nature de cette panne et qu'il n'est donc pas possible d'évaluer a priori.

En dernier lieu, il est important de noter que si l'examen de certains vecteurs erronés conduit à une localisation aisée et immédiate du défaut détecté, il existe par contre les défauts qui nécessitent une analyse plus approfondie d'un ensemble de vecteurs.

Les résultats obtenus à partir du programme de test sont résumés dans les tableaux des figures 7 et 8.

Le tableau de la figure 7 fournit une classification des circuits testés :

- le groupe 1 est tel que tous les résultats obtenus confirment une panne précise dans le fonctionnement du circuit,
- le groupe 2 est tel que la plupart des résultats obtenus confirment une panne précise mais quelques vecteurs erronés restent inexplicables,
- le groupe 3 est tel que les résultats obtenus sont trop disparates pour conclure à une panne précise.

CLASSE	NOMBRE	POURCENTAGE
CIRCUITS BONS	6	14 %
DEFAUT D'INITIALISATION	5	11,6 %
GROUPE 1	25	58,1 %
GROUPE 2	2	4,7 %
GROUPE 3	5	11,6 %

Fig. 7.

Le tableau de la figure 8 donne pour le groupe 1 le classement des circuits en fonction des blocs mis en défaut.

A partir des résultats fournis par la séquence de test, les circuits ont été analysés dans le but de déterminer l'origine des défauts et leur manifestation logique afin d'en déduire le ou les hypothèses de panne à prendre en compte. Les

BLOC MIS EN CAUSE	POURCENTAGE
MEMOIRE M(R)	20 %
MEMOIRE CO	8 %
BUFFERS	16 %
REGISTRES A ET DF	12 %
SEQUENCEUR	12 %
DECODEUR D'INSTRUCTIONS	24 %
BUS BI	12 %
RESEAU D'INCREMENTATION	8 %

Fig. 8.

techniques d'analyse mises en œuvre sont celles décrites dans le paragraphe 2.C.

D'un point de vue de l'efficacité du programme de détection et de localisation, les résultats obtenus grâce à ces techniques d'analyse sont les suivants :

- 73 % des pannes détectées et localisées par la programme ont été mises en évidence,
- les pannes restantes, soit 27 %, correspondent à des circuits présentant trop de défauts (circuits classés précédemment dans le groupe 3) ou sont telles que les techniques d'analyse mises en œuvre n'ont pu aboutir à une explication satisfaisante des phénomènes observés.

Du point de vue de la nature des défauts, le tableau de la figure 9 donne pour les différents types de défauts, le pourcentage obtenu. Pour 25 % des cas, les défauts n'ont pu être observés que par leurs conséquences logiques ou électriques et ils correspondent bien aux résultats fournis par la séquence de test, par contre leurs origines physiques n'ont pu être mises en évidence ; on trouve dans cette catégorie tous les défauts de type perçage entre grille et substrat non observables avec les moyens d'analyse disponibles.

NATURE DU DEFAUT	POURCENTAGE
COURT-CIRCUIT ENTRE METALLISATIONS	39 %
COUPURE DE METALLISATION	14 %
COURT-CIRCUIT ENTRE DIFFUSIONS	11 %
COUPURE DE DIFFUSION	6 %
COURT-CIRCUIT ENTRE METALLISATION ET DIFFUSION	2,5 %
COURT-CIRCUIT ENTRE METALLISATION ET SUBSTRAT	2,5 %
NON DETERMINEE	25 %

Fig. 9.

A partir de l'examen des résultats du tableau de la figure 9, on voit qu'un grand nombre de défauts mis en évidence correspondent à des courts-circuits ($\approx 50\%$). D'un point de vue conséquence de panne, de tels défauts ne peuvent en aucun cas être modélisés par des collages simples ; en effet, suivant la nature du court-circuit, le défaut peut se manifester de manières très diverses en allant

du collage simple (à 0 ou à 1) jusqu'à la modification de la fonction réalisée suivant le vecteur d'entrée appliqué et ce en passant par :

- les pannes unidirectionnelles,
- les pannes multiples,
- les pannes unidirectionnelles ou multiples fonction du vecteur d'entrée appliqué.

CONCLUSION

Les résultats obtenus, lors de la phase de caractérisation des défauts présentée dans ce papier, ont pour principal but de fournir des données permettant d'aboutir à des hypothèses de panne réalistes en vue de définir des circuits LSI facilement testables ou autotestables. Ces données (en particulier la mise en évidence de nombreux défauts du type court-circuit) ont, d'ores et déjà, comme résultat fondamental de rejeter en particulier toutes les méthodes de test basées sur des hypothèses de type collage simple ou unidirectionnel. Il apparaît donc nécessaire de développer des techniques permettant le test des circuits à partir d'hypothèses beaucoup plus larges englobant en particulier la notion de panne multiple ; de telles techniques pourraient s'appuyer sur une décomposition fonctionnelle du circuit en blocs pour lesquels les différents modes de panne seraient déduits d'une analyse fine des défauts internes et de leurs conséquences.

Les études actuellement en cours concernent l'élaboration de telles techniques et leur application à la conception, ou plutôt à la « reconception », du microprocesseur choisi comme circuit d'application dans des versions facilement testable et autotestable ; cette « reconception » pouvant naturellement aller jusqu'à la remise en cause de l'architecture.

Bibliographie

- [1] CARTER W. C. and SCHNEIDER P. R. - « Design of dynamically checked computers », *Proc. of IFIP Congr.* 68, 1968, 2, 878-883.
- [2] ANDERSON D. A. and METZE G. - « Design of totally self-checking check circuits for m-out-of-n codes », *IEEE Tr. on Computers*, March 1973, 22, n° 3, 263-269.
- [3] DIAZ M. - « Conception de systèmes totalement autotestables et à pannes non dangereuses », *Thèse de Doctorat ès-Sciences*, Université Paul-Sabatier, Toulouse, France, 28 Juin 1974, n° 618.
- [4] MOREIRA DE SOUZA J., PEIXOTO PAZ E. and LANDRAULT C. - « A research oriented microcomputer with built-in antidiagnostics », *Sixth International Symposium on Fault Tolerant Computing*, Pittsburgh, Penn., June 1976, pp. 3-8.
- [5] CIOMPI P. and SIMONCINI L. - « Design of self-diagnosable minicomputers using bit slice microprocessors », *Journal of design automation and fault-tolerant computing*, October 1977, 1, n° 4, 363-376.
- [6] GÖNENC G. - « A method for the design of fault detection experiments », *IEEE Tr. on Computers*, June 1970, 19, n° 6, 551-558.
- [7] CROUZET Y., GALIAY J., LANDRAULT C., ROUSSEAU P. et VERGNIAULT M. - « Définition et conception de circuits à large échelle d'intégration facilement testables ou autotestables », *Contrat D.R.E.T. 77/008*, rapport intermédiaire, Décembre 1977.
- [8] HUSTON R. E. - « Testing semiconductor memories », *Symposium on Semiconductor Memory Testing*, Cherry Hill, New-Jersey, October 1973, pp. 27-62.
- [9] KNAZUK Jr. J. and HARTMANN C. R. P. - « An algorithm for testing random access memories », *IEEE Tr. on Computers*, April 1977, 26, n° 4, 414-416.
- [10] ROTH J. P., BOURRICIUS W. G. and SCHNEIDER P. R. - « Programmed algorithms to compute tests to detect and distinguish between failures in logic circuits », *IEEE Tr. on Computers*, October 1967, 16, n° 10, 567-580.

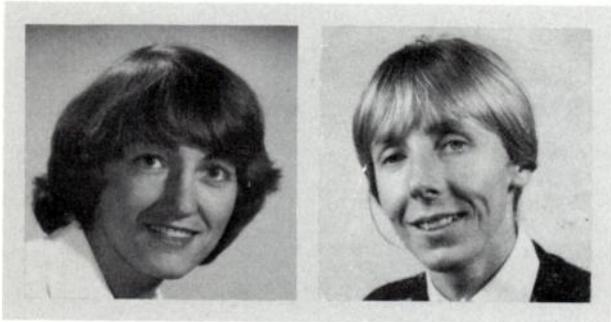
par **Chantal ROBACH,**

Docteur-Ingénieur. Attaché de Recherche au CNRS où elle effectue des recherches sur la « Conception et Sécurité des Systèmes logiques ».

et **Gabrielle SAUCIER,**

Docteur ès Sciences. Maître de Conférences à l'ENSIMAG, responsable d'un groupe de recherche sur la conception de systèmes tolérant les pannes.

ENSIMAG, Laboratoire associé au CNRS n° 7, Domaine Universitaire B.P. 53, 38041 Grenoble Cedex (tél. 16 (76) 54.81.45).



© Masson, Paris 1978.

RÉSUMÉ

Les progrès dans le domaine du test logique des circuits ont été extrêmement rapides ces dix dernières années. On peut essentiellement distinguer deux approches de test :

α) Le test d'un circuit où les vecteurs de test sont déterminés au préalable ; les efforts de recherche ont alors concerné les méthodes de génération de vecteurs de test ; les résultats dans ce domaine semblent connaître une certaine stabilisation et on énumérera les méthodes devenues maintenant classiques de génération de vecteurs de test.

β) Le test aléatoire d'un composant où les vecteurs de test sont engendrés aléatoirement ; les efforts de recherche portent alors sur l'estimation de la longueur de la séquence de test garantissant une qualité de détection acceptable. Si les tests aléatoires sont utilisés depuis longtemps, les efforts d'évaluation très précis sont relativement récents et posent encore des problèmes certains (complexité et limite des outils d'analyse).

En fait, de nouvelles difficultés ont surgi très rapidement par suite du degré d'intégration des composants ce qui suscite de nouveaux efforts de recherche.

SUMMARY

Logic testing of integrated circuits

The progress in the field of the logic testing of integrated circuits has been very important these last ten years. Two approaches can be identified :

a) The test of circuits where the test patterns are predetermined the research efforts have been mainly devoted to the test pattern generation, results in this field seem to reach a sort of steady state and the now conventional methods of test pattern generation will be presented.

b) The random test of circuits, where the test pattern is randomly generated. Research efforts are concentrated on the length of the test sequence which guarantees an acceptable detection quality. Although random tests have been used for a long time, the studies of accurate assessment are rather recent and there are still some unresolved problems (e.g. complexity and limits of the analytic tools).

In fact new difficulties have arisen due to the high degree of integration of the components and this is prompting new research efforts.

1. INTRODUCTION

Deux types de test sont utilisés pour détecter les anomalies survenant dans la vie d'un composant [1] :

- des tests paramétriques qui sont appliqués en fin de fabrication du composant,
- des tests logiques qui sont appliqués en fin de fabrication ou en maintenance (test du composant à l'intérieur d'un système trouvé défectueux).

Les tests paramétriques sont :

- soit des tests statiques : mesures de sensibilité aux variations de tension et courant, conditions de charges, courants de fuite, ...
- soit des tests dynamiques : mesures de temps de propagation, de largeur d'impulsion...

Les tests logiques permettent d'assurer que le circuit réalise sa fonction logique dans des conditions d'environnement semblables à celles de son utilisation.

Pour ce faire on applique au circuit des séquences qui permettent de dire au vu des sorties si le circuit est correct ou non. Le problème principal de ces tests est de déterminer les séquences les plus appropriées ou d'en évaluer la longueur.

Ce sont les méthodes de test logiques qui font l'objet de la suite de cet article.

2. DÉFAUTS, PANNES ET ERREURS

Un défaut dans un composant est une imperfection physique (diode ou transistor défectueux, court-circuit, ... ou à un niveau plus fin : trou d'oxyde, défaut de gravure, ...), qui peut entraîner un mauvais fonctionnement du composant (hors spécifications).

Une panne est la manifestation logique d'un défaut : collage à 0 ou à 1 d'une connexion par exemple ; elle peut être permanente ou intermittente (fugitive, transitoire) pendant un intervalle de temps.

Il est à noter qu'à tout défaut ne correspond pas nécessairement une manifestation logique, que cette manifestation logique est parfois difficile à modéliser.

• Une erreur est un mauvais fonctionnement du composant dû à une panne ; on appelle *latence d'erreur* le temps entre l'occurrence de la panne et sa manifestation par une erreur.

• Hypothèses de pannes.

Le modèle de pannes généralement adopté dans les méthodes de test suppose que les défauts dans une porte

(1) Article issu de la journée d'études du 7 février 1978, reçu le 22 mars 1978 et accepté dans sa forme définitive en octobre 1978.

résultent en un collage à 1 ou à 0 des entrées ou des sorties de la porte. Dans certaines technologies les courts-circuits entre lignes adjacentes peuvent être modélisés par une fonction OU, ET ou IMPLICATION entre ces lignes.

Toutefois ces méthodes ne s'appliquent qu'avec les restrictions suivantes :

- le système reste logique en présence d'une panne,
- les pannes ne sont pas transitoires,
- on fait l'hypothèse que la panne est unique.

Certaines méthodes permettent d'élargir ces hypothèses (pannes multiples par exemple) ou imposent leurs propres restrictions.

3. CLASSIFICATION DES MÉTHODES DE TEST (fig. 2)

On peut considérer deux classes de méthodes :

1. Les méthodes de test avec vecteurs prédéterminés : les vecteurs sont déterminés par une étude préalable du composant et sont ensuite appliqués lors du test effectif du composant.

2. Les méthodes de test aléatoire : les vecteurs de test sont engendrés aléatoirement lors du test effectif du composant.

Pour la plupart de ces méthodes de test, deux options sont possibles :

- soit on observe toute la séquence de sortie,
- soit on observe une fonction de la sortie : le test est alors dit compact.

3.1. Méthodes de test avec vecteurs prédéterminés

La méthode de génération de ces vecteurs peut être de l'un des trois types suivants :

α) *Génération déterministe* : ces méthodes prennent en compte la structure ou la fonction du circuit.

- Les approches structurelles s'appuient sur une analyse du schéma logique équivalent au niveau de la porte.

- Les approches fonctionnelles sont indépendantes de la réalisation physique du composant et prennent uniquement en compte son aspect fonctionnel.

β) *Génération aléatoire* : les combinaisons d'entrée sont, non plus fixées à l'avance, mais fournies par un générateur de séquences aléatoires ; chaque configuration d'entrée qui détecte au moins une nouvelle panne est enregistrée. Le schéma (fig. 1) illustre cette méthode :

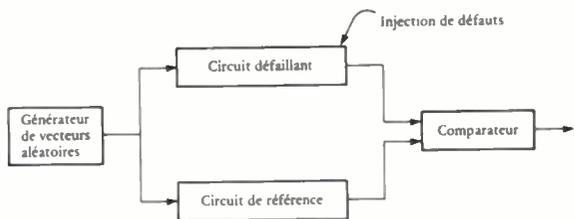


Fig. 1.

γ) *Génération mixte* : La méthode de génération commence par une génération aléatoire ; si après application

d'un nombre fixé de vecteurs, on n'a détecté aucune nouvelle panne, la génération se continue avec une génération déterministe.

3.2. Méthodes de test aléatoire

Les vecteurs de test sont engendrés aléatoirement au moment du test effectif du circuit considéré et envoyés simultanément au circuit sous test et à un circuit réputé bon. Le problème est alors d'estimer la longueur de la séquence de test nécessaire pour assurer un taux de détection donné.

4. LES MÉTHODES DE TEST AVEC VECTEURS PRÉDÉTERMINÉS

4.1. Génération déterministe des vecteurs de test

α) MÉTHODE DE SENSIBILISATION DE CHEMIN D-ALGORITHME [2].

Il s'agit de partir d'un ensemble de pannes et d'engendrer les vecteurs spécifiques qui détectent ces pannes. On peut distinguer trois phases :

- *manifestation de la panne* : on considère une panne donnée (collage à 0 ou à 1) sur une ligne donnée ; on définit alors la valeur de cette ligne pour manifester la panne.
- *propagation de la panne* : on propage la panne vers une sortie primaire à travers un chemin de sensibilisation, c'est-à-dire un chemin tel que tout changement de la valeur logique du défaut le long de ce chemin se traduise par un changement correspondant à la sortie primaire.
- *phase de consistance* : on détermine la valeur logique des entrées primaires du circuit qui permettent la propagation de la panne.

a) *Notations.*

On note $D : 0 \rightarrow 1$ soit :

valeur juste = 0, valeur fautive = 1

et $\bar{D} : 1 \rightarrow 0$ soit :

valeur juste = 1, valeur fautive = 0

Les règles de propagation sont alors :

$$\begin{aligned} \bar{D} + 0 &= \bar{D}, & \bar{D} + 1 &= 1, & \bar{D}.0 &= 0, & \bar{D}.1 &= \bar{D} \\ \text{ou} & & \bar{D} &= D \text{ ou } \bar{D} & & & & \\ D + \bar{D} &= 1, & D.\bar{D} &= 0 & & & & \end{aligned}$$

b) *Exemple (fig. 3).*

Soit la ligne 1, collée à 1 : $L1 = D$.

manifestation : $a = 0$

propagation :

- à travers la porte ET : $L5 = L8 = 1$,
- à travers la porte OU de sortie : $L11 = 0$.

consistance :

$$\left. \begin{aligned} L5 = 1 &\Rightarrow L2 = b = 1 \\ L8 = 1 &\Rightarrow L7 = 1 \Rightarrow b + c + d = 1 \\ L11 = 0 &\Rightarrow L9 = L7 = 1 \end{aligned} \right\} \Rightarrow c \text{ et } d \text{ quelconques}$$

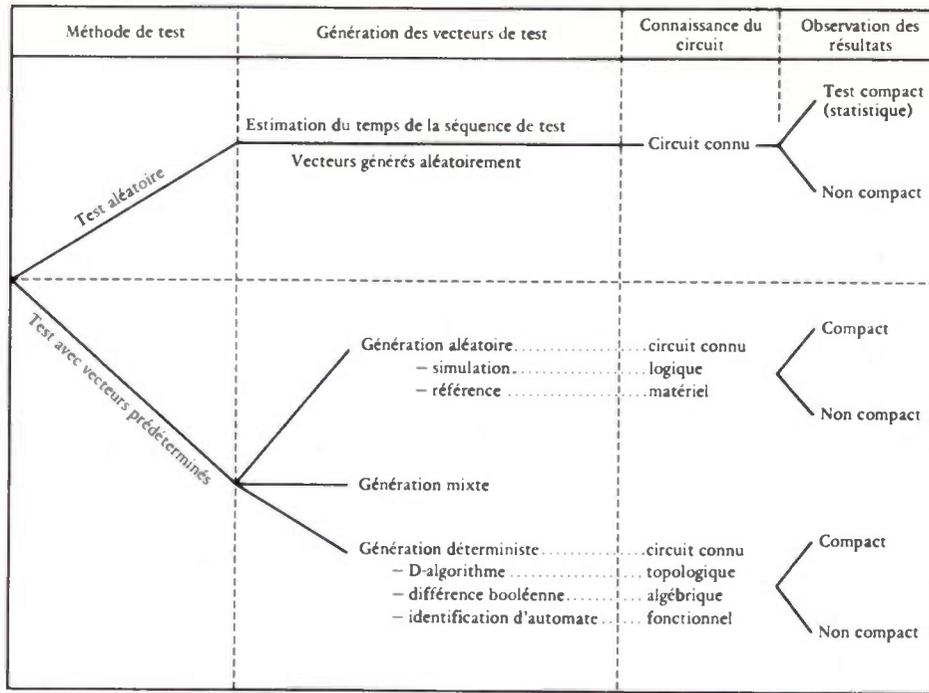


Fig. 2.

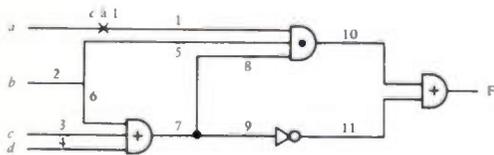


Fig. 3.

Les vecteurs de test de cette panne sont donc :

	a	b	c	d
V1	0	1	1	0
V2	0	1	0	1
V3	0	1	1	1
V4	0	1	0	0

c) Remarques.

- Une panne peut être indétectable. Il n'existe pas de vecteur de test pour cette panne (par ex., collage à 1 de la ligne 8).
- Une panne peut être masquée : la propagation de la panne le long de deux chemins qui convergent peut donner une sortie correcte (par ex., collage à 1 de la ligne 2).
- Un même vecteur de test peut détecter plusieurs pannes.
- Certaines pannes détectables ne peuvent pas être propagées sur un seul chemin (par ex., à cause du phénomène de masquage).

d) Le D-algorithme.

Ceci a induit la méthode dite du D-algorithme [2] qui est caractérisé par la prise en compte de chemins de propagation multiples.

Le D-algorithme comporte 2 phases :

- Une phase de synthèse : élaboration des vecteurs de test détectant une panne donnée ;
- Une phase d'analyse : détermination de toutes les autres pannes détectées par ces vecteurs (programme TEST-DETECT).

Dans le cas des systèmes séquentiels, on utilise les méthodes de propagation en transformant le système séquentiel en un système combinatoire itératif équivalent (fig. 4).

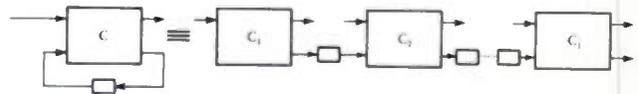


Fig. 4.

L'algorithme de test est le suivant :

Pas i :

- (i) manifester la panne dans la copie C_i ;
- (ii) propager la panne vers une sortie primaire de la copie étudiée ; si c'est possible, la séquence de vecteurs de test est déterminée ; sinon aller en (iii) ;
- (iii) propager la panne sur les variables internes vers la copie suivante C_{i+1} ; aller en (ii).

Il est à noter que l'état de la première copie est inconnu.

β) LA DIFFÉRENCE BOOLÉENNE [3].

Considérons l'expression booléenne F qui lie la sortie du circuit aux signaux d'entrée $x_1 \dots x_n$.

Soit x_i la ligne pour laquelle on veut trouver un test ; il y a un chemin sensible de x_i à la sortie z si les entrées $x_j (j \neq i)$ ont des valeurs logiques telles que la valeur de z change en même temps que la valeur logique de x_i .

Cette condition peut être exprimée par :

$$\frac{dF}{dx_i} = F(x_1, \dots, x_{i-1}, 0, \dots, x_n) \oplus F(x_1, \dots, x_{i-1}, 1, \dots, x_n) = 1$$

En effet, si $dF/dx_i = 0$, cela implique que F est indépendant de x_i ;

Si $dF/dx_i = 1$, alors tout changement de x_i affectera la sortie, indépendamment des autres entrées x_j . On manifestera la panne de x_i en affectant à x_i la valeur opposée à sa

leur fausse et on donnera aux autres entrées des valeurs telles que $dF/dx_i = 1$.

L'ensemble des tests pour une ligne x_i sera donc :

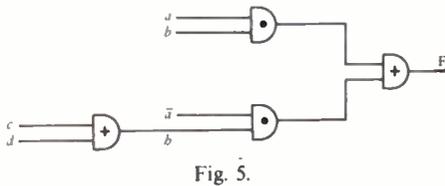
$x_i dF/dx_i$ pour un collage à 0, $\bar{x}_i dF/dx_i$ pour un collage à 1.

Les tests pour une ligne h interne (différente d'une entrée primaire) seront trouvés en exprimant F comme une fonction de h :

$F(x_1, \dots, x_k, h)$ et h comme une fonction des entrées : (x_1, \dots, x_k) .

Les tests sont alors $h dF/dh$ pour un collage à 0 de h et dF/dh pour un collage à 1 de h .

Exemple (fig. 5).



$$F = a \cdot b + \bar{a}(c + d) = ab + \bar{a}h$$

$$dF/dh = ab \oplus (ab + \bar{a}) = \bar{a}$$

h collé à 0 : les vecteurs de test sont donnés par $h dF/dh = (c + d)\bar{a} = \bar{a}c + \bar{a}d$
 h collé à 1 : $\bar{h} dF/dh = \bar{c} \cdot \bar{d} \cdot \bar{a}$

L'ensemble des vecteurs de test est le suivant :

	h collé à 0						h collé à 1	
	V1	V2	V3	V4	V5	V6	V'1	V'2
a	0	0	0	0	0	0	0	0
b	0	0	0	1	1	1	1	0
c	1	1	0	1	1	0	0	0
d	0	1	1	0	1	1	0	0

γ) LA MÉTHODE D'IDENTIFICATION D'AUTOMATES [4].

Il s'agit de vérifier le bon fonctionnement d'un circuit séquentiel par une méthode de reconnaissance d'automates. On dispose uniquement de la description du fonctionnement du circuit par le tableau d'états. La procédure d'identification est généralement la suivante :

- a) Initialisation du système dans un état connu, en utilisant, par exemple, une séquence de synchronisation ;
- b) Vérification de toutes les transitions possibles entre états ; cette phase utilise une séquence de distinction.

Cette méthode fait appel à des hypothèses de pannes particulières :

- le graphe d'états du circuit sans faute doit être fortement connexe ;
- le nombre d'états n'augmente pas en présence d'une panne ;
- le tableau d'état est réduit.

Définitions.

Une *séquence de synchronisation* est une séquence d'entrée qui met l'automate dans un état final déterminé quel que soit l'état initial (inconnu).

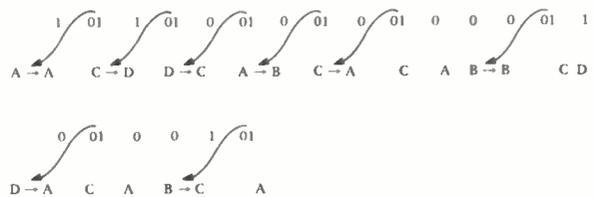
Une séquence d'entrée X est une *séquence de distinction* si la séquence de sortie produite par l'automate caractérise de façon unique l'état initial de l'automate (avant application de X) ; elle caractérise également l'état final.

Exemple.

Soit l'automate M dont le tableau d'états est le suivant :

État \ Entrée	$x = 0 \quad x = 1$		Séquence de synchronisation $X = 111$	Séquence de distinction $X = 01$
	A	B,0		
B	B,1	C,1	A	C,11
C	A,1	D,0	A	A,10
D	C,0	A,1	A	D,00
			État final	État final

- Initialisation. 111
État inconnu $\xrightarrow{111}$ A : état initial du test.
- Séquence de test.



4.2. Génération aléatoire des vecteurs de test [5]

L'organigramme suivant représente le principe général de ces méthodes (fig. 6).

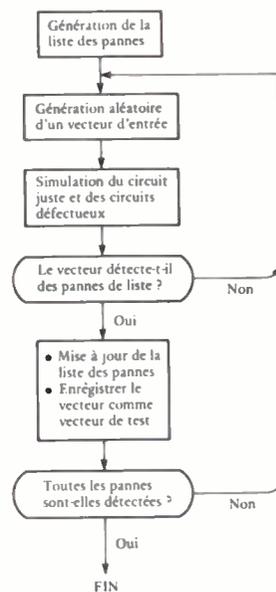


Fig. 6.

4.3. Génération mixte des vecteurs de test [6]

L'organigramme de principe est le suivant (fig. 7).

Cette méthode a été appliquée aux cartes logiques du système ILLIAC IV [6] et la conclusion dégagée est la suivante : un paramètre décisif du choix d'une méthode de génération est le nombre de niveaux de la logique testée, c'est-à-dire le nombre maximal de portes d'une entrée

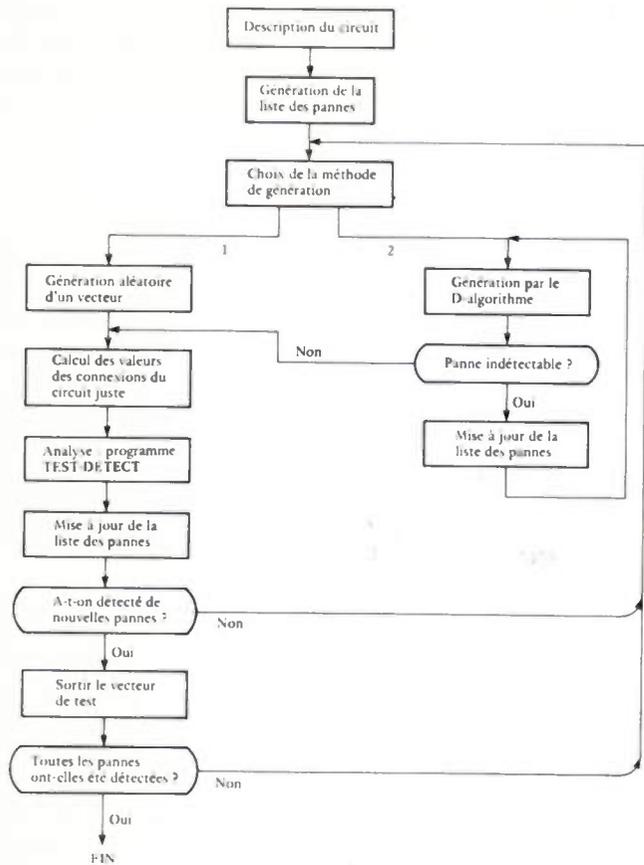


Fig. 7.

primaire à une sortie primaire. Dès que le nombre de niveaux excède 8, une génération aléatoire devient incomplète (temps trop long) et il devient préférable d'utiliser le D-algorithme. Par contre, pour 6 niveaux ou moins, une méthode déterministe est plus lente qu'une méthode aléatoire et ne fournit pas de meilleure détection.

4.4. Conclusion : comparaison, efficacité et limites

α) Pour des circuits de petite et moyenne complexité, une génération aléatoire est meilleure qu'une génération déterministe dans une première phase de la génération, mais cette relation est inversée au delà d'un certain seuil. Cette inversion arrive, en pratique, pour un taux de détection de 70 %.

β) Pour des circuits de grande complexité, le nombre de tests engendrés par une méthode aléatoire est très supérieur à celui obtenu par une méthode déterministe (et le temps de génération en conséquence). Le seuil à partir duquel une méthode aléatoire devient inefficace décroît en même temps que la complexité croît.

5. LE TEST ALÉATOIRE

5.1. Principe général

Le test aléatoire consiste à appliquer une séquence d'entrée aléatoire simultanément au circuit sous test, et à un circuit de référence supposé correct. Les sorties des deux circuits sont comparées et un désaccord entre ces sorties indique l'existence d'une panne (fig. 8).

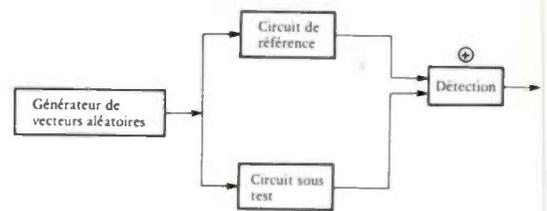


Fig. 8.

Le circuit de référence peut être :

- soit un circuit matériel réputé bon,
- soit une simulation du circuit correct.

L'objectif d'un tel test est d'estimer la longueur de la séquence de test à appliquer pour obtenir une faible probabilité d'accepter comme bon un circuit défectueux.

5.2. Le test aléatoire des circuits combinatoires

α) PROBLÈME DE L'ESTIMATION DE LA LONGUEUR DU TEST [7]

On note Q_D la probabilité d'accepter comme bon un circuit défectueux : Q_D est appelée qualité de détection.

Soit P_{BF} la probabilité qu'un vecteur d'entrée ne manifeste pas une panne donnée.

La longueur L de la séquence de test est alors telle que

$$L > \frac{\text{Log } Q_D}{\text{Log } P_{BF}}$$

Soit un circuit combinatoire ayant N entrées primaires parmi les 2^N combinaisons d'entrée, soient D combinaisons qui détectent une panne donnée et par conséquent $2^N - D$ le nombre de combinaisons ne détectant pas cette panne.

$$\text{On a alors } P_{BF} = \left(\frac{2^N - D}{2^N} \right) \max$$

On note $\sigma = D_{\min}$ soit σ est le nombre de vecteurs de la panne la plus difficile à détecter. La longueur de la séquence est alors :

$$L > \frac{\text{Log } Q_D}{\text{Log} \left(1 - \frac{\sigma}{2^N} \right)}$$

σ est appelé surface de détection

$$Q_D = \left(1 - \frac{\sigma}{2^N} \right)^L$$

Pour une approximation basée sur $\text{Log} \left(\frac{1}{Q_D} \right) \ll L$ on obtient :

$$L = \frac{2^N}{\sigma} \text{Log } \frac{1}{Q_D}$$

Ce qui donne un ensemble de droites paramétrées en Q_D et L dans le plan $(\text{Log } \sigma, n)$.

La borne inférieure de la surface de détection peut être calculée à partir du schéma logique du circuit.

Connaissant σ et n et pour une valeur fixée Q_D , la longueur L de la séquence s'obtient alors par simple lecture d'une abaque [8].

β) LONGUEUR DE TEST ET LATENCE D'ERREUR [9].

• Définitions.

— La latence d'erreur LE_i d'une panne P_i est le nombre de vecteurs d'entrée qui sont appliqués au circuit en présence de la panne avant qu'elle ne se manifeste à la sortie. La latence d'erreur est fonction de la panne, du circuit et de la séquence d'entrée appliquée.

— La probabilité d'erreur Q_i d'une panne P_i est la probabilité qu'un vecteur d'entrée aléatoire manifeste la panne, c'est-à-dire produise une sortie incorrecte, lorsque la panne est présente.

La probabilité que la latence d'erreur soit exactement *n* entrées est :

$$P(LE_i = n) = (1 - Q_i)^{n-1} \cdot Q_i, n \geq 1$$

La probabilité que LE_i soit inférieure ou égale à *n* est donnée par

$$P(LE_i \leq n) = \sum_{j=1}^n (1 - Q_i)^{j-1} \cdot Q_i = 1 - (1 - Q_i)^n$$

— L'intervalle de latence *n(c)*_i d'une panne P_i est le nombre minimum de vecteurs d'entrée nécessaires pour assurer une probabilité *c* de manifester cette panne (c'est-à-dire d'observer une erreur due à P_i).

L'expression de *n(c)* est obtenue en mettant $P(LE_i \leq n) = c$.

$$n(c)_i = \log(1 - c) / \log(1 - Q_i)$$

L'application au test aléatoire peut comprendre deux cas :

a) L'hypothèse de pire-cas. — La panne de pire-cas dans un circuit est la panne ayant le plus grand intervalle de latence parmi l'ensemble des pannes possibles ; c'est encore la panne ayant la probabilité d'erreur la plus faible.

b) L'hypothèse de latence d'erreur moyenne. — L'hypothèse de pire-cas ne prend pas en compte le fait que la panne de pire-cas peut avoir une probabilité d'apparition très petite par rapport aux autres pannes pouvant survenir. Cette considération a conduit au concept de latence d'erreur d'un ensemble de pannes, où chaque panne de l'ensemble a une probabilité conditionnelle d'être la panne présente.

La longueur du test aléatoire est égale à l'intervalle de latence du circuit *n(c)*.

c) Conclusion. — Le test aléatoire est une méthode de test efficace mais requiert un travail prohibitif pour déterminer la longueur de la séquence par rapport au travail requis pour une génération déterministe. Quand un niveau de confiance doit être garanti, le test aléatoire n'est pas une bonne solution.

5.3. Le test aléatoire des circuits séquentiels [10, 11]

α) OUTIL GÉNÉRAL [10].

Lorsque des entrées aléatoires sont appliquées à un circuit séquentiel, la probabilité d'être dans un état donné à l'instant *n* dépend uniquement de l'état du circuit au temps (*n* - 1) et des probabilités des vecteurs d'entrée au temps (*n* - 1).

Le fonctionnement de l'automate est décrit par une chaîne de Markov de premier ordre. La chaîne est stationnaire si l'automate est fortement connexe et si les probabilités d'entrée ne changent pas au cours du temps : $p(x^n) = p(x)$.

• La probabilité d'un état S_j à l'instant *n*, notée s_jⁿ est la probabilité que le circuit soit dans l'état S_j après application de la *n*^{ème} entrée.

• Le vecteur de probabilité d'état Sⁿ est un vecteur dont le j^{ème} élément est s_jⁿ

avec $s_j^n \in [0, 1], \sum_j s_j^n = 1$

• La probabilité de transition au pas *n* notée p_{ij}ⁿ est la probabilité conditionnelle d'arriver dans l'état S_j au bout de *n* entrées exactement sachant que l'état de départ est S_i.

• La matrice de transition M est une matrice carrée telle que m_{ij} = p_{ij}¹.

La probabilité d'état s_jⁿ peut s'écrire

$$s_j^n = \sum_i s_i^{n-1} p_{ij}^1$$

On obtient donc Sⁿ = M.Sⁿ⁻¹ et par récurrence Sⁿ = Mⁿ.S⁰, où S⁰ est le vecteur de probabilité d'état initial.

• Un vecteur de probabilité d'état U est dit stationnaire si U = MU ; tout circuit séquentiel fortement connexe a un vecteur de probabilité d'état stationnaire unique. Les éléments u_j de U sont les probabilités d'état stationnaires. Ces probabilités sont obtenues en résolvant le système d'équations linéaires définies par U = MU et $\sum_j u_j = 1$.

• Exemple [11].

	X1	X2	
S1	S1	S2	s ₁ ⁿ⁺¹ = s ₁ ⁿ .p ₁₁ ¹ + s ₂ ⁿ .p ₂₁ ¹ + s ₃ ⁿ .p ₃₁ ¹ + s ₄ ⁿ
S2	S1	S3	s ₂ ⁿ⁺¹ = s ₁ ⁿ .p ₁₂ ¹
S3	S1	S4	s ₃ ⁿ⁺¹ = s ₂ ⁿ .p ₂₃ ¹
S4	S1	S1	s ₄ ⁿ⁺¹ = s ₃ ⁿ .p ₃₄ ¹

Ce qui peut s'écrire

$$\begin{cases} s_1^{n+1} = p(X1)(s_1^n + s_2^n + s_3^n + s_4^n) \\ s_2^{n+1} = s_1^n p(X2) \\ s_3^{n+1} = s_2^n p(X2) \\ s_4^{n+1} = s_3^n p(X2) \end{cases}$$

Où p(X1) et p(X2) sont les probabilités respectives pour qu'on ait l'entrée X1 ou X2.

Recherche de l'état stationnaire.

L'état stationnaire est obtenu en résolvant le système d'équations.

$$\begin{cases} s1 = s4 + (s1 + s2 + s3) \cdot p(X1) \\ s2 = s1 \cdot p(X2) \\ s3 = s2 \cdot p(X2) \\ s4 = s3 \cdot p(X2) \\ s1 + s2 + s3 + s4 = 1 \end{cases}$$

Si l'on choisit p(X1) = p(X2) = 0,5, on obtient les probabilités d'états stationnaires

$$u1 = 8/15, \quad u2 = 4/15, \quad u3 = 2/15, \quad u4 = 1/15.$$

On s'attend à ce que le circuit passe les $\frac{4}{15}$ de son temps dans l'état s2.

β) PRISE EN COMPTE DE LA DISTRIBUTION DES PROBABILITÉS DE SORTIE [11].

A partir de la distribution de probabilité d'état stationnaire, on obtient facilement la distribution des probabilités de sortie.

La probabilité de sortie à l'instant n est donnée par

$$Q_z^n = \sum_j s_j^n$$

La sommation se fait sur j tel que $\lambda(S_j) = z$ (où λ est la fonction de sortie de l'automate).

En utilisant la distribution de probabilité d'état stationnaire U on obtient :

$$Q_z^n \rightarrow Qz = \sum_k u_k q_{kn} \rightarrow \infty ; k \text{ tel que } \lambda(S_k) = z$$

La probabilité Qz , c'est-à-dire la probabilité que la sortie soit z , mesure la proportion du temps pendant lequel on peut s'attendre à observer la sortie z sur une longue période.

Exemple. — Considérons l'automate donné ci-dessous (§α) avec les sorties z_1 (états S1 et S4) et z_2 (états S2 et S3) :

	X1	X2
S1	S1, z_1	S2, z_2
S2	S1, z_1	S3, z_2
S3	S1, z_1	S4, z_1
S4	S1, z_1	S1, z_1

- La probabilité d'observer la sortie z_1 est

$$Qz_1 = u_1 + u_4 = 9/15$$

- La probabilité d'observer la sortie z_2 est

$$Qz_2 = u_2 + u_3 = 6/15$$

γ) UTILISATION DE LA LATENCE D'ERREUR [10]

Une panne dans un circuit séquentiel transforme le tableau d'état juste en un tableau d'état faux. Le modèle utilisé ELM détermine la latence d'erreur d'une panne en considérant les matrices, produit des tableaux d'état juste et faux.

Exemple : Soient M et M' les tableaux d'états des automates juste et faux.

M	0	1	M'	0	1
S1	S1,0	S2,0	S1	S4,0	S3,0
S2	S1,0	S3,0	S2	S4,0	S3,0
S3	S1,0	S4,0	S3	S1,0	S4,0
S4	S1,0	S1,1	S4	S1,0	S1,1

Les états faux successeurs sont encadrés.

Le tableau d'état ELM est déduit de M et M' comme suit :

— Les états de ELM sont des couples d'états S_{ij} où S_i est l'état du circuit juste et S_j l'état du circuit faux.

— Les états initiaux sont les états S_{ii} (le circuit faux étant dans l'état juste S_i lorsque la panne survient).

— On construit une ligne pour chaque état initial, la sortie est égale à 1 si les sorties correspondantes dans M et M' sont différentes. Tout état successeur ayant une sortie égale à 1 est appelé S^+ : état absorbant.

— On ajoute de nouvelles lignes jusqu'à ce qu'il y ait une ligne pour chaque état qui puisse être atteinte à partir des états initiaux. Les successeurs de S^+ sont S^+ et la sortie est

ELM	0	1	} états initiaux
S11	S14,0	S23,0	
S22	S14,0	S33,0	
S33	S11,0	S44,0	
S44	S11,0	S11,0	
S14	S11,0	S+,1	
S23	S11,0	S34,0	
S34	S11,0	S+,1	
S+	S+,0	S+,0	

Les états autres que S^+ sont les états transitoires.

Soit N_j le nombre de fois total où ELM est dans l'état transitoire S_j . Le temps d'absorption T_{ab} est défini comme $T_{ab} = \sum_j N_j$.

La latence d'erreur d'une panne est alors égale au temps d'absorption du ELM.

- Calcul de la fonction de distribution de la latence d'erreur

On peut noter que la latence d'erreur est supérieure à n si l'ELM est dans un état transitoire au temps n . Il s'ensuit que

$$P(ELK > n) = \sum_j s_j^n$$

où s_j^n est la probabilité que le circuit soit dans l'état S_j au temps n (après n entrées).

La fonction de distribution de la latence d'erreur au temps n est donc égale à la probabilité de l'état absorbant s_+^n .

$$P(ELK \leq n) = 1 - P(ELK > n) = 1 - \sum_j s_j^n = s_+^n$$

- Le test aléatoire.

La qualité du test aléatoire de longueur n est égale à $P(ELK \leq n)$. Pour une qualité désirée c , la longueur du test est alors égale à l'intervalle de latence $n(c)_k$. Un test de longueur $n(99)_k$ par exemple détectera 99 % des circuits ayant la panne F_k .

Le modèle peut également être utilisé pour déterminer les probabilités d'entrée optimales qui donneront un test de longueur minimale.

6. LE TEST COMPACT [12]

Le principe est le suivant : au lieu d'observer toute la séquence de sortie du circuit on observera seulement une fonction de cette sortie.

Par exemple, on peut compter le nombre de transitions de la sortie R du circuit : $c(R)$.

La fonction $C(R)$ est stockée au lieu de R et une panne est détectée si le $C(R)$ trouvé diffère du comptage $C(RO)$ correct.

Exemple : Soit le circuit de NAND donné en (fig. 9).

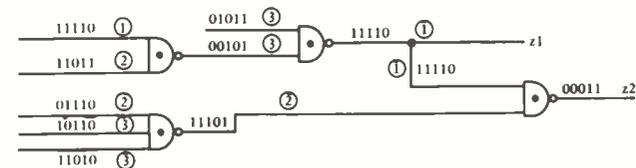


Fig. 9.

La figure montre la séquence de réponse sur chaque ligne qui résulte de l'application d'une séquence de test particulière de longueur 5.

On montre, parallèlement, le comptage C(R) correspondant sur chaque ligne.

Supposons qu'on ait la panne : « la ligne a est collée à 1 ». La panne induit :

- que la séquence sur z1 est transformée en 11010 et C(R) devient égal à 3 : la panne est donc détectable sur z1 par la fonction de comptage ;
- sur la sortie z2 la séquence est transformée en 00111 mais la panne ne transforme pas la fonction C(R) ; z2 n'est donc pas un point de test pour la panne considérée.

Extensions.

D'autres fonctions de comptage ont été également adoptées ;

- comptage des 0 ou des 1,
- comptage des fronts montants ou des fronts descendants,
- l'extension la plus représentative est celle du « checksum », qui comporte à la fois une observation de toute la séquence et une fonction de comptage.

CONCLUSION ET PERSPECTIVES

Si les résultats dans le domaine du test logique, ces dix dernières années, sont indéniablement importants, il convient de ne pas relâcher l'effort de recherche dans ce domaine par suite de l'évolution rapide de la technologie.

Si nous avons essayé de faire le point dans cet article des résultats acquis, c'est qu'il nous semble que les nouveaux résultats dans le domaine du test des circuits à haute

intégration (microprocesseur, par exemple) découleront d'une synthèse des approches précédentes, à savoir :

- approche déterministe structurelle : prise en compte des paramètres précis de la réalisation matérielle (hypothèse de défaillance, structure répétitive, etc...),
- approche déterministe fonctionnelle : prise en compte de la fonction fournie par le composant (test sous contrainte fonctionnelle, test d'un microprocesseur à travers son programme d'application [13]),
- approche aléatoire.

Une approche déterministe étant limitée par le manque de connaissance des défaillances technologiques, le test par un flot d'opérandes quasi aléatoire sera nécessaire pour certaines parties du composant. Il convient alors d'évaluer, au mieux, le nombre de vecteurs ainsi utilisés.

Bibliographie

- [1] ROBACH C. - « Le test en production et en exploitation », *Rapport interne n° 112, ENSIMAG, Grenoble, février 1978.*
- [2] ROTH J. P. - « Diagnosis of automata failure : a calculus and a method », *IBM Journal R et D*, vol. 10, 1968, pp. 278-291.
- [3] SELLERS F. F., HSIAO M. Y. and BEARNSON L. W. - « Analysing errors with the Boolean Difference », *IEEE Trans. on computers*, vol. C17, 1968, pp. 676-683.
- [4] KOHAVI S. - « *Switching automata theory* », McGraw Hill, computer Science Series, 1970, chap. 13.
- [5] GIRARD E., RAULT J. C. et TULLOUE R. - « Les méthodes probabilistes de génération de séquences de test - estimation de l'efficacité et de la longueur », *Revue Technique Thomson-CSF*, vol. 6, n° 1, mars 1974, pp. 197-216.
- [6] AGRAWAL V. D. and AGRAWAL P. - « An automatic test generation for ILLIAC IV Logic Boards », *IEEE Trans. on computers*, septembre 1972, pp. 1015-1017.
- [7] DAVID R. and BLANCHET G. - « About random fault detection of combinational Networks », *IEEE Trans. on computers*, juin 1976, pp. 659-664.
- [8] THEVENOD-FOSSE P. - « Contribution à l'étude du test aléatoire des circuits séquentiels et des mémoires », *Thèse de Docteur Ingénieur, Université de Grenoble, février 1978.*
- [9] SHEDLETSKY J. J. - « *Random testing : practicality vs. effectiveness* », Fault tolerant computing symposium FTCS-7, Los Angeles, Californie, juin 1977, pp. 175-179.
- [10] SHEDLETSKY J. J. and Mc CLUSKEY E. J. - « The Error latency of a fault in a sequential digital circuit », *IEEE Trans. on comp.*, juin 1976, pp. 655-659.
- [11] SHEDLETSKY J. J. - « A probabilistic treatment of sequential circuits », *Technical note, Stanford University, février 1974.*
- [12] HAYES J. P. - « Transition count testing of combinational logic circuits », *IEEE Trans. on computers*, Juin 1976, pp. 613-620.
- [13] ROBACH C. SAUCIER G. - « *Microprocessor testing* », Congrès EUROMICRO 78, Munich, octobre 1978.

1978

Volume 58

Table des matières

Enseignement – Formation et Perfectionnement

Le bruit électrique : aspects physiques (3 ^e partie)	A. CHOVET et P. VIKTOROVITCH	N° 1	69
Recherche et enseignement à l'Institut d'électronique fondamentale d'Orsay	M. SAUZADE	N° 10	653

Études générales

Calcul numérique des cycles d'hystérésis ferroélectrique à partir d'un modèle statistique	M. BERNARD, A. LAUGIER et J. PERRIGOT	N° 10	664
Cavité hyperfréquence parallélépipédique partiellement remplie par un diélectrique	A. POINSOT	N° 1	43
Prévision de l'erreur statistique dans la mesure de densités de probabilités	S. EL-RAMLY et P. DUHAMEL	N° 5	375
Séquences anharmoniques	P. MINOT	N° 11	747

Composants électroniques et microélectroniques

Analyse et comparaison des possibilités d'emploi des mémoires à bulles et à transfert de charges	P. COEURÉ, J.M. BRICE, D. MAUDUIT et E. MACKOWIAK		
	1 ^{ère} partie :	N° 3	229
	2 ^e partie :	N° 4	312
	3 ^e partie :	N° 5	390
An analysis of lithographic process system cost in integrated circuit manufacturing	M. W.J. PINCKNEY et N.G. WU	N° 11	737
Bruit basse fréquence du transistor MOS	P. GENTIL		
	1 ^{ère} partie :	N° 8-9	565
	2 ^e partie :	N° 10	645
Caractéristiques actuelles et évolution de la technologie silicium sur isolant	J. BOREL	N° 12	812
Circuits intégrés logiques à transistors à effet de champ sur GaAs en technologie plane	M. CATHELIN et G. DURAND	N° 3	218
Circuits intégrés à très haute densité réalisés en technologie « I2L »	J. FERTIN et J.C. KAIRE	N° 12	818
Les circuits logiques à faible consommation. Situation actuelle et perspectives	J. MAJOS et J.L. LARDY	N° 12	801
Étude de la chute de tension « direct-passant » dans les thyristors	G. ENEA	N° 3	222
Exploration et contrôle d'une technologie MOS LSI par « véhicule-test »	J.M. LAGORSSE et F. LEFEBVRE	N° 12	823
A fast system for generating micromasks in scale 1 : 1	G. WESTERBERG	N° 11	742
Vers des microprocesseurs facilement testables et autotestables	C. LANDRAULT et P. ROUSSEAU	N° 12	836
Le point de vue de l'utilisateur sur la testabilité des circuits intégrés logiques	G. PIEL	N° 12	830
Techniques de réalisation actuelles des circuits intégrés MOS à grille de silicium et canal N	J.P. MOREAU et G. DUBOIS	N° 12	805
Le test logique des composants	G. SAUCIER et C. ROBACH	N° 12	842
Test pour les mémoires dynamiques	C. DAVISON	N° 5	396
Les tubes d'émission pour contre mesures électroniques	J. CARRUBBA		
	2 ^e partie :	N° 1	56
	3 ^e partie :	N° 2	115
Le tube Titus : application à la projection d'images en couleur sur grand écran	J. DONJON	N° 8-9	558

Télécommunications – Radiodiffusion – Télévision

Application d'un discriminateur à ligne à retard à la détection d'un signal modulé en fréquence par un signal de télévision	M.D. POMMIER et M.J. VEILLARD	N° 8-9	551
Application des structures monolithiques à quartz au filtrage de la voie téléphonique dans les systèmes analogiques	R. LEFEVRE	N° 6-7	475
Le choix d'un nouveau système d'atterrissage international par l'OACI	P. FOMBONNE	N° 11	715
Le codage de la télévision à 34 Mbits/s	J. SABATIER	N° 10	631
Conception et réalisation d'un modèle de filtre électromécanique pour voie téléphonique analogique	P. AMSTUTZ, M. BON, R. BOSC, H. CARRU et P. LOYEZ		
	1ère partie :	N° 4	307
	2e partie :	N° 5	383
Exemples de transcodage adaptés à la transmission numérique	V. MAUREL	N° 1	50
Exploitation et évolution de la navigation par satellite	P. LEGRIS	N° 11	721
Filtre à quartz 2,5 MHz pour multiplex téléphonique 12 voies	J. KERBOULL	N° 6-7	458
Filtre de voie mécanique miniaturisé LTT	H.H. ERNYEI	N° 2	128
Filtres électromécaniques développés au Japon	MASASHI KONNO, KAZUO YAKUWA, TAKESHI YANO et YASUO KOH		
	1ère partie :	N° 5	401
	2e partie :	N° 6-7	482
Filtres mécaniques à disque et résonateurs utilisant le mode de flexion longitudinal	R.A. JOHNSON	N° 2	141
Les filtres mécaniques du nouveau modulateur de voie 7R	H. ALBSMEIER et A.E. GUENTHER	N° 2	136
Une microcaméra de télévision en couleur de 2,5 mm de diamètre	J.R. PERILHOU	N° 4	319
Problèmes spécifiques du filtrage de la voie téléphonique dans les systèmes analogiques	P. LOYEZ	N° 2	121
Protection et défense des radiocommunications	J.P. POITEVIN	N° 6-7	453
Systèmes à satellites maritimes	M. MONNOT	N° 11	729
Technique d'implantation des services nouveaux dans les autocommutateurs électroniques	P. MARTY et C. GRANDJEAN	N° 4	300
Transducteurs composites pour application aux filtres électromécaniques	C. BRÉMON, G. VILLELA et C. DUCHET	N° 6-7	464
Un transducteur magnétostrictif miniaturisé	D. BEAUDET	N° 6-7	470

Calculateurs électroniques – Automatismes

Conception et réalisation d'un automatisme destiné à l'étude du vieillissement des accumulateurs au plomb	B. GEOFFRION	N° 8-9	547
Etude de la fonction régulation d'un système asservi au moyen d'un nouvel abaqué	A. OUSTALOUP	N° 8-9	543
Le GRAFCET outil de représentation du cahier des charges d'un automatisme logique	L. TOURRES	N° 3	235

Métrologie – Mesure

Mesures de la stabilité de fréquence	M. FISCHER	N° 4	291
Réalisation d'un vélocimètre à laser. Montage optique et traitement du signal dans le cas des vitesses faibles	B. LISMONDE, J.P. BARBIER-NEYRET et D. AUCHERE	N° 5	369
Théorie d'une méthode d'investigation par ultrasons des milieux stratifiés : l'impédographie acoustique	J.P. LEFEVRE	N° 10	658

Techniques biomédicales

Performances d'un calculateur analogique de volumes pulmonaires utilisé en milieu hospitalier	J.P. BONNEFOY et F. FRIEMEL	N° 1	64
---	-----------------------------	------	----

Divers

Déphaseur passe-tout sans inductance faisant appel à un amplificateur opérationnel à une entrée	A.M. SOLIMAN	N° 3	238
Description et mise au point d'un système d'acquisition de données	G. CHASSAY	N° 8-9	531
Enseignement des microprocesseurs et conception d'une maquette d'études	J. AUVRAY	N° 3	214
Initiation à l'utilisation des microprocesseurs	R. AROUETTE	N° 3	199
Les microprocesseurs	J.P. COCQUEREZ et J. DEVARs	N° 3	201
Présentation d'informations par tubes cathodiques. Les écrans multifonctions	J.P. GALVES	N° 10	637
Utilisation de l'inhibition pour la matérialisation de fonctions logiques à l'aide de portes et — non, ou — non et ou — exclusif	Z. LOTFI, Mlle D. DUBUS et A. TOSSER	N° 6-7	486

Table des Auteurs

N° 1, 1-80	N° 2, 81-148	N° 3, 149-240	N° 4, 241-324
N° 5, 325-408	N° 6-7, 409-496	N° 8-9, 497-576	N° 10, 577-668
N° 11, 669-756	N° 12, 757-852		

A	F	O
ALBSMEIER H., 136 AMSTUTZ P., 307, 383 AROUETTE R., 199 AUCHERE D., 369 AUVRAY J., 214	FERTIN J., 818 FISCHER M., 291 FOMBONNE P., 715 FRIEMEL F., 64	OUSTALOUP A., 543
B	G	P
BARBIER-NEYRET J.P., 369 BEAUDET D., 470 BERNARD M., 664 BON M., 307, 383 BONNEFOY J.P., 64 BOREL J., 812 BOSCH R., 307, 383 BREMONT C., 464 BRICE J.M., 229, 312, 390	GALVES J.P., 637 GENTIL P., 565, 645 GEOFFRION B., 547 GRANDJEAN C., 300 GUENTHER A.E., 136	PERILHOU J.R., 319 PERRIGOT J., 664 PIEL G., 830 PINCKNEY W.J., 737 POINSOT A., 43 POITEVIN J.P., 453 POMMIER M.D., 551
C	J	R
CARRU H., 307, 383 CARRUBBA J., 56, 115 CATHELIN M., 218 CHASSAY G., 537 CHOVET A., 69 COCQUEREZ J.P., 207 COEURÉ P., 229, 312, 390	JOHNSON R.A., 141	ROBACH C., 842 ROUSSEAU P., 836
D	K	S
DAVISON C., 396 DEVARS J., 207 DONJON J., 558 DUBOIS G., 805 DUBUS D., 488 DUCHET C., 464 DUHAMEL P., 375 DURAND G., 218	KAIRE J.C., 818 KERBOULL J., 458 KOH Y., 401, 482 KONNO M., 401, 482	SABATIER J., 631 SAUCIER G., 842 SAUZADE M., 653 SAWAMOTO K., 482 SOLIMAN A.M., 238
E	L	T
EL-RAMLY S., 375 ENEA G., 222 ERNYEI H.H., 128	LAGORSSE J.M., 823 LANDRAULT C., 836 LARDY J.L., 801 LAUGIER A., 664 LEFEBVRE J.P., 658 LEFEBVRE F., 823 LEFEVRE R., 475 LEGRIS P., 721 LISMONDE B., 369 LOTFI Z., 488 LOYEZ P., 121, 307, 383	TOSSER A., 488 TOURRES L., 235
F	M	V
	MACKOWIAK E., 229, 312, 390 MAJOS J., 801 MARTY P., 300 MAUDUIT D., 229, 312, 390 MAUREL V., 50 MINOT P., 747 MONNOT M., 729 MOREAU J.P., 805	VEILLARD M.J., 551 VIKTOROVITCH P., 69 VILLELA G., 464
G	N	W
		WESTERBERG G., 742 WU N.G., 737
H	O	Y
		YAKUWA K., 401, 482 YANO T., 401, 482

SEE

Société des électriciens, des électroniciens et des radioélectriciens
 48, rue de la Procession - 75724 PARIS CEDEX 15
 Téléphone 567-07-70 - Télex SEE 200565 F

SOMMAIRE

- Jeudi 11 janvier 1979 - Paris.
 Assemblée générale et conférence P. VI
- Vendredi 30 et samedi 31 mars 1979 - Nancy.
 Techniques nouvelles en microchirurgie (2 jours) Section 27 P. V
- Du 10 au 13 décembre 1979 - Paris.
 Congrès « MESUCORA 1979 » P. II
- Demande d'abonnements pour 1979 aux publications
 de l'I.E.E. P. III
- Offres et demandes d'emploi P. VI

RAPPEL DES MANIFESTATIONS

annoncées dans les numéros précédents

- Jeudi 25 janvier 1979 - Gif-sur-Yvette.
 Mesure et dosimétrie associées aux interactions ondes magnétiques - milieu vivant
 (journée).
- Vendredi 2 et samedi 3 février 1979 - Limoges.
 Biosystèmes (1 jour 1/2).
- Mars 1979 - Nancy.
 Techniques nouvelles en microchirurgie.
- Du 7 au 11 mai 1979 - Paris.
 Colloque international sur la COMMUTATION.
- Les 17, 18 et 19 mai 1979 - Toulouse.
 Hémodynamique des membres.
- Jeudi 17 et vendredi 18 mai 1979 - Tours.
 L'analyse et le traitement des images biomédicales (2 jours).

CONGRES « MESUCORA 1979 »

Parc des Expositions - Porte de Versailles - Paris

APPEL AUX COMMUNICATIONS

Conjointement à l'Exposition Internationale MESUCORA 79, un Congrès International est organisé dans l'enceinte de cette exposition. Il a pour but, dans les domaines de la Mesure, du Contrôle, de la Régulation et de l'Automatisme, de permettre une confrontation entre constructeurs, utilisateurs, chercheurs.

Les constructeurs de tous pays ont ainsi la possibilité de présenter leurs nouvelles réalisations, les utilisateurs leurs applications, les centres de recherche et les laboratoires d'étude de faire connaître les nouvelles tendances, les nouvelles possibilités offertes à l'Industrie.

Les thèmes abordés seront discutés au cours de tables rondes où les auteurs pourront résumer leurs communications préalablement distribuées aux participants.

La responsabilité scientifique de ce Congrès a été confiée aux Associations et Sociétés Scientifiques et Techniques intéressées par la Mesure. Elles ont défini les thèmes de ces tables rondes, elles assureront la sélection des communications, elles présideront et animeront les débats.

Thèmes

Les différentes tables rondes animées par les Associations ou Sociétés Scientifiques et Techniques ont pour objet de faire le point sur les développements récents et les perspectives d'avenir dans les domaines suivants :

1. **L'AFCE**T (Association Française pour la Cybernétique Economique et Technique).
« EQUIPEMENTS DE CONDUITE DES PROCÉDES INDUSTRIELS ».
2. **A.F.Q.** (Association Française des Qualiticiens).
« LES SYSTEMES DE CONTROLE AUTOMATIQUE ».
3. **A.F.T.P.** (Association Française des Techniciens du Pétrole).
« VANNES ET ROBINETS ».
4. **A.S.T.E.** (Association pour le Développement des Sciences et Techniques de l'Environnement).
« LES SYSTEMES DE MESURE DE L'ENVIRONNEMENT EAU, AIR, BRUIT ».
5. **A.T.G.** (Association Technique de l'Industrie des Gaz en France).
« EVOLUTION DES MATERIELS DE COMPTAGE DES GRANDS DEBITS DE GAZ ».
6. **G.A.M.S.** (Groupement pour l'avancement des méthodes spectroscopiques et physico-chimiques de l'Analyse).
« DEVELOPPEMENT DE L'INSTRUMENTATION EN SPECTROSCOPIE ATOMIQUE ».
7. **A S.E.E./D.E.R.T.** (Société des Electriciens, des Electroniciens et des Radioélectriciens - Division Electronique - Radioélectricité et Télécommunications).
« NOUVEAUX EQUIPEMENTS DE MAINTENANCE ET DE GESTION TECHNIQUE DANS LES TELECOMMUNICATIONS ».
7. **B S.E.E./D.E.E.E.A.** (Société des Electriciens, des Electroniciens et des Radioélectriciens - Division Energie Electrique et Electronique Appliquée).
« NOUVEAUTES DANS LE DOMAINE DES EQUIPEMENTS DE PROTECTION DES RESEAUX ELECTRIQUES ».
8. **S.F.E.N.** (Société Française d'Energie Nucléaire).
« FIABILITE DES EQUIPEMENTS DE CONTROLE NUCLEAIRE ».
9. **S.F.M.** (Société Française des Mécaniciens).
« LES MESURES ET LES CONTROLES NON DESTRUCTIFS ».
10. **S.F.R.P.** (Société Française de Radioprotection).
« EVOLUTION DES MOYENS DE DETECTION ».
11. **S.F.T.** (Société Française des Thermiciens).
« NOUVELLES TECHNIQUES DE MESURES THERMIQUES ».
12. **S.F.V.** (Société Française du Vide).
« MESURE ET CONTROLE DES PROCÉDES DE FABRICATION SOUS VIDE ».

L'accent est mis sur les thèmes 7A et 7B intéressant spécialement la S.E.E.

Date limite :

Les textes des communications proposées devront être adressés à l'Association MESUCORA, 20, rue Hamelin - 75016 PARIS, avant le 20 mars 1979. Après enregistrement, ces communications seront transmises aux Associations et Sociétés Scientifiques et Techniques qui procéderont à la sélection et établiront le programme. Les auteurs seront informés des communications retenues avant le 15 mai 1979.

Langues :

Le français et l'anglais sont les deux langues officielles de ce Congrès. Les communications pourront être proposées, rédigées dans l'une de ces deux langues. Après sélection, les textes devront être frappés sur un papier spécial qui sera fourni, ceci de façon à permettre une reproduction Offset.

DERNIERE MINUTE

Modification de la date et du lieu de l'assemblée générale de la S.E.E. :

LUNDI 15 JANVIER 1979, à 17 h,

à l'E.N.S.T.A. (Ecole Nationale Supérieure de Techniques Avancées) - Amphithéâtre Renard, 32, boulevard Victor à Paris 15^e - au lieu de 11/1/79 à la salle de conférences du Palais de Chaillot).

Elle sera suivie d'une

CONFERENCE

de M. Pierre AIGRAIN

*Secrétaire d'Etat auprès du Premier Ministre,
chargé de la Recherche.*

sur le thème :

RECHERCHE, SOCIETES SAVANTES ET REVUES.

WATERLOO, ONTARIO, CANADA

1850

1851

1852

1853

1854

1855

1856

1857

1858

1859

A retourner
à la SEE
avant le
15 janvier 1979

DEMANDE D'ABONNEMENTS POUR 1979 aux publications de l'IEE

L'INSTITUTION OF ELECTRICAL ENGINEERS (IEE) continue d'appliquer comme les années précédentes, une réduction sur le prix de certaines de leurs publications. Cette réduction est accordée à titre d'échange entre les sociétés membres d'EUREL.

Je, soussigné

membre SEE, n° (mention obligatoire).

Adresse d'expédition

désire m'abonner par votre intermédiaire, pour 1979 aux publications ci-après :

Publications de l'I.E.E.	1 ^{er} public.	Fréq.	£	Montant de l'abonnement en francs (1)
PROCEEDINGS IEE	1872	mensuel	80,00 £	683 F X = F
ELECTRONICS and POWER + IEE NEWS ..	1955	11 par an	21,00 £	179 F X = F
ELECTRONICS RECORD	1963	trimest.	27,00 £	231 F X = F
POWER RECORD	1963	trimest.	27,00 £	231 F X = F
CONTROL and SCIENCE RECORD	1966	trimest.	27,00 £	231 F X = F
ELECTRONICS LETTERS	1965	25 par an	51,00 £	436 F X = F
MICROWAVES, OPTICS and ACOUSTICS ..	1976	bimens.	24,00 £	205 F X = F
ELECTRONIC CIRCUIT and SYSTEMS	1976	bimens.	24,00 £	205 F X = F
SOLID STATE and ELECTRON DEVICES ..	1976	bimens.	24,00 £	205 F X = F
IEE NEWS	1976	mensuel	12,00 £	102 F X = F
CURRENT PAPERS in PHYSICS			60,00 £	512 F X = F
CURRENT PAPERS in ELECTRICAL and ELECTRONICS ENGINEERING			50,00 £	427 F X = F
CURRENT PAPERS on COMPUTERS and CONTROL			50,00 £	427 F X = F
ELECTRICAL and ELECTRONIC ABSTRACTS			340,00 £	2 904 F X = F
PHYSICS ABSTRACTS			430,00 £	3 672 F X = F
Frais de banque et de correspondance				20 F
Total				

Ci-joint chèque bancaire ou virement postal, CCP PARIS 170-28 P à l'ordre de la SEE en règlement de ces abonnements, y compris 20 F pour frais divers de la SEE.

Le montant des abonnements en francs français a été calculé au cours de la livre anglaise en vigueur en novembre 1978. En cas de variation, je m'engage à verser, s'il y a lieu, le complément à la SEE dès réception de sa réclamation.

Date :

Signature :

(1) Ces tarifs préférentiels sont exclusivement réservés aux membres individuels de la SEE.
(Les sociétés ne peuvent pas en bénéficier).

VENDREDI 30 et
SAMEDI 31 MARS 1979

NANCY
Section **27**

- L'Université de NANCY I,
 - Le Centre Hospitalier Régional Universitaire et les Facultés de Médecine de Nancy,
 - L'Institut de Génie Biologique et Médical (I.G.B.M.),
 - La Section 27 (Techniques biomédicales) de la Société des Electriciens, des Electroniciens et des Radioélectriciens (S.E.E.) affiliée à l'International Federation for Medical and Biological Engineering (I.F.M.B.E.),
 - Le Groupe pour l'Avancement de la Microchirurgie (G.A.M.),
- organisent conjointement en collaboration avec les sociétés savantes médicales et scientifiques, les

**Journées d'études internationales sur les
TECHNIQUES NOUVELLES EN MICROCHIRURGIE**

au Palais des Congrès, rue du Grand Rabbin-Haguenauer
54000 NANCY (France) - Téléphone (83) 36.65.10

Le but de ces journées pluridisciplinaires est :

- de réunir des spécialistes Médecins, Chirurgiens, Biologistes, Scientifiques, Ingénieurs et Fabricants en matière de microchirurgie ainsi que toutes les personnes intéressées par ce domaine en pleine évolution.
- de faire ensemble un bilan des moyens actuels, une confrontation des différentes techniques et de prévoir dans quelles mesures les progrès scientifiques et technologiques récents peuvent répondre aux besoins des utilisateurs, et leur ouvrir des voies nouvelles.

Les langues officielles seront le français et l'anglais.

(Suite au dos).

VENDREDI 30 et
SAMEDI 31 MARS 1979

NANCY
Section **27**

TECHNIQUES NOUVELLES EN MICROCHIRURGIE

QUESTIONNAIRE

à renvoyer à :

Palais des Congrès - Rue du Grand Rabbin-Haguenauer
(Techniques Nouvelles en Microchirurgie), 54000 NANCY (France).

Nom Prénom

Titre ou Profession

Domicile ou adresse professionnelle (*)

N° de téléphone

- souhaite participer aux journées d'études ;
- souhaite soumettre une communication à ces journées d'études :

son titre est le suivant :

et les auteurs :

Utiliser exclusivement le formulaire ci-joint qui sera adressé avant le 15 janvier 1979.

Je vous envoie ci-joint la somme de :

- 200 F pour les membres de la S.E.E., du G.A.M. ou d'une société savante ;
- 250 F pour les non-membres ;
- 30 F pour les étudiants et les internes des hôpitaux ;
- par chèque bancaire à l'ordre de la S.E.E. ;
- par chèque postal au compte de la S.E.E. - PARIS 170-28 P ;

comprenant les frais de participation, les actes de ces journées d'études (résumés).

Un fascicule spécial, avec l'intégralité des communications et des tables rondes, sera édité le 30 juin 1979.

(*) Rayer les mentions inutiles.

SEE/V

Thèmes de ces journées :

- Nouvelles techniques microchirurgicales (« clinique » et « expérimentation »).
- Le microscope opératoire.
- Les techniques d'exploration et de surveillance de la survie des tissus transplantés.
- L'Instrumentation.
- Prospectives en microchirurgie. Rapports suivis d'une table ronde.
- Communications libres.
- Exposition scientifique et exposition de livres spécialisés.

Le programme définitif ainsi que toutes les informations pratiques relatives à ces journées seront envoyés à chaque participant à partir du 15 janvier 1979.

APPEL AUX COMMUNICATIONS

La date limite d'envoi de propositions de communications est fixée au 15 janvier 1979.

Les communications retenues par le comité scientifique figureront au programme final (même si elles ne pouvaient pas être exposées par manque de temps) et seront publiées dans les actes remis à chaque participant à l'ouverture des journées.

Possibilité de communiquer par posters, par vidéo-cassettes et films.

Judi 11 janvier 1979

PARIS

ASSEMBLEE GENERALE de la S.E.E.

17 h - Salle de conférences du Musée des Monuments Français (Palais de Chaillot).

Suivie d'une conférence par M. Pierre AIGRAIN, Secrétaire d'Etat à la Recherche.

OFFRES ET DEMANDES D'EMPLOI

Les offres et demandes d'emploi sont réservées aux Membres de la SEE. L'insertion est gratuite.

Les demandes ne sont reproduites qu'une fois ; les Membres qui désirent répéter leur demande doivent en avertir le secrétariat.

La Société n'intervient que pour mettre les intéressés en communication ; en aucun cas, elle ne peut donner les noms et adresses des ingénieurs demandeurs ni des organismes qui font les offres. Son intervention se borne à transmettre aux intéressés les lettres et curriculum vitae.

La SEE sera reconnaissante aux Entreprises qui auront trouvé l'ingénieur recherché, et aux ingénieurs qui auront trouvé une situation grâce au concours du service des offres d'emploi de la SEE de ne pas oublier de l'en aviser.

Les demandes et offres d'emploi doivent nous parvenir au plus tard le 12 de chaque mois, pour être publiées dans le bulletin mensuel du mois suivant.

DEMANDE D'EMPLOI

D.218 — « Ingénieur électronicien (INSA-LYON), docteur ingénieur (informatique), 31 ans. Expérience mini, micro-ordinateurs et architecture de systèmes, obtenue en tant qu'ingénieur de projet puis ingénieur conseil et ingénieur d'affaire dans une Société d'Ingénierie Informatique. Recherche un poste de responsable de projets de moyenne importance ou de chargé de la mise en place de moyens Informatiques (définition des besoins, choix des solutions...) ».

SEE/VI